

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## 特許協力条約に基づいて公開された国際出願

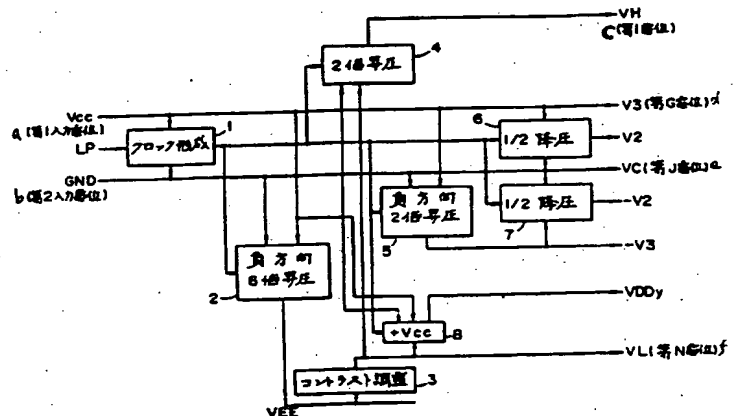
(51) 国際特許分類6 G02F 1/133	A1	(11) 国際公開番号 WO96/21880
		(43) 国際公開日 1996年7月18日 (18.07.96)
(21) 国際出願番号 PCT/JP96/00025 (22) 国際出願日 1996年1月11日 (11.01.96) (30) 優先権データ 特願平7/2949 1995年1月11日 (11.01.95) JP 特願平7/172620 1995年7月7日 (07.07.95) JP 特願平7/181976 1995年7月18日 (18.07.95) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-08 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者: および (75) 発明者/出願人 (米国についてのみ) 山崎 卓(YAMAZAKI, Suguru)[JP/JP] 〒392 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 井理士 井上 一, 外(INOUE, Hajime et al.) 〒167 東京都杉並区荻窪五丁目26番13号 荻窪TMビル2階 Tokyo, (JP)	(81) 指定国 CN, JP, US, 欧州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). 添付公開書類 国際調査報告書	

## (54) Title: POWER SOURCE CIRCUIT, LIQUID CRYSTAL DISPLAY, AND ELECTRONIC DEVICE

(54) 発明の名称 電源回路、液晶表示装置及び電子機器

## (57) Abstract

A power source circuit which supplies liquid driving potentials VH, V3, V2, VC, -V2, -V3, VL, etc., to a liquid display and can reduce the power consumption of the display. The potentials VCC and GND of the input power source are used, as they are, as the potentials V3 and VC, and the high potentials VH and VL are supplied from a charge pump circuit. The charge pump composed of a negative-direction voltage-sextupler (2), etc., performs charge-pumping by utilizing a pulse-like clock LP. The power source circuit is also provided with a boosting/dropping magnification changing means. Two pumping capacitors are prepared so as to eliminate uneven display by performing the charge-pumping at every horizontal interval. When the supply of the potential VCC, etc., is discontinued, the residual charge of the potentials VH and VL are released. The potentials VCC and GND are used not only as the driving voltage of liquid crystals, but also as the power supply voltage to the logic section of a driver.



- |                              |                        |
|------------------------------|------------------------|
| a ... first input potential  | d ... G-th potential   |
| b ... second input potential | e ... J-th potential   |
| c ... first potential        | f ... N-th potential   |
|                              | 1 ... clock generation |

- 2 ... negative-direction voltage-sextupling  
 3 ... contrast adjustment  
 4 ... voltage doubling  
 5 ... negative-direction voltage-doubling  
 6, 7 ... 1/2-dropping

# (57) 要約

液晶の駆動電位であるVH、V3、V2、VC、-V2、-V3、VL等を提供する電源回路であり、液晶表示装置の低消費電力化が目的である。入力電源電位VCC、GNDを、V3、VCとしてそのまま用い、高電位VH、VLはチャージ・ポンプ回路により供給する。負方向6倍昇圧回路2等のチャージ・ポンプ回路は、パルス状クロックLPを利用してチャージ・ポンプ動作を行う。昇圧・降圧倍率の変更手段も有する。2つのボンピング・コンデンサを用意しチャージ・ポンプ動作を1水平期間毎に行い表示ムラをなくす。VCC等の供給が停止した場合、VH、VLの残留電荷を放電する。VCC、GNDを液晶の駆動電圧に用いると共にドライバのロジック部の電源電圧としても用いる。

## 情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PT	ポルトガル
AM	アルメニア	DK	デンマーク	LC	セントルシア	PR	プエルトリコ
AU	オーストラリア	EE	エストニア	LR	レソト	RO	ルーマニア
AZ	アゼルバイジャン	FI	フィンランド	LS	レソト	SE	スウェーデン
BA	ボスニア・ヘルツェゴビナ	FR	フランス	LT	リトアニア	SG	シンガポール
BB	バルバドス	GB	イギリス	LV	ラトヴィア	SI	スロベニア
BE	ベルギー	GR	ギリシャ	MC	モナコ	SK	スロバキア
BF	ブルキナ・ファソ	GU	ギンネー	MD	モルドバ	SN	セネガル
BG	ブルガリア	IE	アイルランド	MG	マダガスカル	TD	チャド
BJ	ベナン	IL	イスラエル	MK	マケドニア共和国	TG	トーゴ
BR	ブラジル	IS	アイスランド	ML	マリ	TJ	タジキスタン
BY	ベラルーシ	IT	イタリア	MN	モンゴル	TM	トルクメニスタン
CA	カナダ	JP	日本	MR	モーリタニア	TR	トルコ
CF	中央アフリカ共和国	KE	ケニア	MW	モザンビーク	TT	トリニダード・トバゴ
CG	コンゴ	KZ	カザフスタン	MX	メキシコ	UA	ウクライナ
CH	スイス			NE	ニジェール	UG	ウガンダ
CI	コート・ジボアール			NL	オランダ	US	アメリカ合衆国
CN	中国			NO	ノルウェー	UZ	ウズベキスタン
CU	キューバ			NZ	ニュージーランド	VN	ベトナム
CZ	チェコ共和国						

## 明 細 書

## 電源回路、液晶表示装置及び電子機器

## 〔技術分野〕

本発明は電源回路、該電源回路を含む液晶表示装置、該液晶表示装置を含む電子機器に関する。

## 〔背景技術〕

第1の背景技術として、1ライン線順次駆動の液晶表示装置に用いられる電源回路について図48を用いて説明する。この図は、特開平2-150819号公報の図3と基本的に同じである。ここに $V_0 \sim V_5$ は、 $V_D = V_0 - V_1 = V_1 - V_2 = V_3 - V_4 = V_4 - V_5$ なる関係を持ち、例えば1/240デューティの場合に $V_D$ は1.6V程度である。

液晶表示装置に外部から入力される電圧は、GNDを基準電位としてドライバICのロジック部のためのVCCと、液晶パネル駆動電圧を作るためのVEEである。VEEはVCCに比べてかなり高く、例えば1/240デューティの場合、20V～25V程度である。 $V_0 \sim V_5$ の内、 $V_0$ にはVEEを、 $V_5$ にはGNDをそのまま用いる。残りの $V_1 \sim V_4$ は、VEE-GND間を抵抗 $R_1 \sim R_5$ で分割した電圧をオペアンプOP1～OP4で低インピーダンス変換したものをを用いる。OP1～OP4はVEE系の電圧で動作し、VCCはパネル駆動電圧自体の形成には直接関与していない。

以下、走査線側をY、データ線側をXで表し、消費電力について述べる。例えばパネルの走査線電極をY電極、Y電極を駆動するドライバICをYドライバ、パネルのデータ線電極をX電極、X電極を駆動するドライバICをXドライバと表す。非選択のY電極に加えられる電圧は $V_1$ か $V_4$ である。そして非選択のY電極が $V_1$ の場合にX電極に加えられる電圧は $V_0$ か $V_2$ であり、非選択のY電極が $V_4$ の場合にX電極に加えられる電圧は $V_3$ か $V_5$ である。

1/240デューティの場合、選択状態のY電極が1ラインのみであるのに対して残りの239ラインは全て非選択状態である。従って、X電極と選択状態の

Y電極との間で流れる充放電電流は、X電極と非選択状態のY電極との間で流れる充放電電流よりもかなり小さい。即ち、液晶パネル自体の消費電流は、X電極と非選択状態のY電極との間で流れる充放電電流が大部分である。よって、ここではX電極と非選択状態のY電極との間で流れる充放電電流についてのみ注目する。

例えば非選択のY電極の電圧が $V_1$ である時に、X電極の電圧が $V_0$ から $V_2$ に変化した場合を考える。この時、X-Y電極間の液晶層の容量を $C_{pn}$ とすると、X電極の電圧が $V_0$ から $V_1$ になる際に、 $C_{pn} \times (V_0 - V_1)$ の電荷が $V_0$ から流出して $V_1$ に流入する(図48のD参照)。次にX電極の電圧が $V_1$ から $V_2$ になる際に、 $C_{pn} \times (V_1 - V_2)$ の電荷が $V_1$ から流出して $V_2$ に流入する(E参照)。ここで $V_0 - V_1 = V_1 - V_2$ であるため、 $V_1$ に流入する電荷と $V_1$ から流出する電荷とは等しくなる。従って、 $V_1$ への電荷の流入は差し引き零となり、結果的には $C_{pn} \times (V_0 - V_2)$ の電荷が $V_0$ から流出して $V_2$ に流入することになる(F参照)。この電荷はオペアンプOP2を通じて最終的にGNDへ流れ込む(G参照)。しかしながら、この電荷は、OP2の中を移動してGNDへ至る経路では有効な働きをせず、単に熱損失を発生させOP2を発熱させるだけとなる。この場合のパネルの充放電電流を $I_{pn}$ 、 $GND = 0V$ とすると、この $I_{pn}$ による消費電力は $I_{pn} \times V_{EE}$ となる。そして図48のGから明らかなように、この $I_{pn}$ の有効利用率は $(V_0 - V_2) / V_{EE}$ である。 $1/240$ デューティの場合、 $V_0 - V_2$ が $2 \times 1.6V$ 程度であるのに対して $V_{EE}$ は $20V \sim 25V$ であるため、有効利用率は $16\%$ 以下ということになる。

第2の背景技術として、4ライン同時選択駆動の液晶表示装置に用いられる電源回路について説明する。複数のY電極(行電極)を同時に選択する駆動方法(MLS駆動)の基本概念は、文献1(A GENERALIZED ADDRESSING TECHNIQUE FOR RMS RESPONDING MATRIX LCDS. 1988 INTERNATIONAL DISPLAY RESEARCH CONF.の講演集80~85頁)や、USP5, 262, 881に記載されている。単純な1ライン線順次駆動にて液晶の応答を

速くした場合にはコントラストの低下が問題になるが、MLS駆動によればこの問題を解決できる。

MLS駆動でLライン(Lは2以上の正整数)を同時選択する場合、Y電極には、VM及びこのVMを中点電位とするVHとVLの合計3レベルの電位が必要となる。ここでVMは非選択電位、VH、VLは選択電位に使用する。またX電極には、VMを中心として(L+1)レベルの電位が必要となる。Lが大きくなるにしたがい、Y電極を駆動する電圧幅VH-VLは小さくなり、逆に、X電極の駆動には大きな電圧幅が必要となる。

図49に4ライン同時選択法を使用した場合に考えられる電源回路の一例を示す。パネルの駆動に必要な電圧は、Y電極の選択電圧となるVH及びVL、Y電極の非選択電圧となるVM、X電極の駆動電圧となるVx0~Vx4である。VMは、パネルに加える電圧の中央電位となるものであり、 $VH - VM = VM - VL$ 、 $Vx0 - Vx1 = Vx1 - Vx2 = Vx2 - Vx3 = Vx3 - Vx4$ の関係が成り立つ。またX電極側の中央電位Vx2はVMと同電位である。例えば1/240デューティ相当のパネルではVH-VLは25V程度、Vx0-Vx1は1.6V程度となる。

液晶表示装置に外部から入力される電圧は、GNDを基準電位(0V)として、ドライバICのロジック部のためのVCCと、液晶パネル駆動電圧を作るためのVEE(=VH-VL)であり、前述したようにVEEはVCCに比べてかなり高電圧である。なお図49においてVDDyとVSSyはYドライバのロジック部の電圧であり、VCCとGNDがそのまま結線される。またVDDxとVSSxはXドライバのロジック部の電圧であり、GND=0VとしてVDDx-VSSx=VCCである。Xドライバに必要な耐圧はVx0-Vx4であり、例えば1/240デューティ相当のパネルでは7V程度で済む。VHとVLには各々VEEとGNDをそのまま用いる。Vx0~Vx4とVSSxは、VEE-GND間を抵抗R1~R6で分割した電圧をオペアンプOP1~OP6で低インピーダンス変換したものをを用いる。またVDDx-VSSx=VCCの関係を成り立たせるために、R7=R8かつR9=R10となるようにR7~R10の抵抗値を設定している。OP1~OP6はVEE系の電圧で動作し、VCCはパネル駆動

電圧自体の形成には直接関与していない。

以下、図49に示す電源回路を用いた場合の消費電力について述べる。Y電極に非選択時に加えられる電圧はVMであり、X電極に加えられる電圧は $V \times 0 \sim V \times 4$ である。前述した1ライン線順次駆動の場合と同様に、液晶パネル自体の消費電流の大部分は、X電極と非選択状態のY電極との間で流れる充放電電流である。パネルの充放電電流 $I_{pn}$ による消費電力は、 $GND = 0V$ として $I_{pn} \times V_{EE}$ となる。しかしながら、前述したように、 $V \times 0 \sim V \times 4$ とVMとの電圧差は $V_{EE} - GND$ 間の電圧差に比べてかなり小さい。従って、 $I_{pn}$ の有効利用率は極めて低く、大部分がオペアンプの中を移動してGNDへ至る経路で単に熱損失となってオペアンプを発熱させるだけとなる。

更に、Xドライバのロジック部等での消費電流を $I_{XD}$ とすると、これによる消費電力が $I_{XD} \times V_{CC}$ ではなく $I_{XD} \times V_{EE}$ となる。 $I_{XD} \times (V_{EE} - V_{CC})$ の部分はやはりオペアンプの中を移動してGNDへ至る経路で単に熱損失となってオペアンプを発熱させるだけとなっている。複数ライン同時選択法によればXドライバの動作電圧幅を小さくできるが、この背景技術ではこの利点を消費電力低減に全く活用できていない。

第3の背景技術として、2端子型非線形スイッチング素子を用いた液晶表示装置の電源回路について説明する。このような液晶表示装置の駆動方法は、特公平5-34655に記載されており、また、この場合に用いられる電源回路としては、特公平5-46954やUSP5, 101, 116に記載されたものがある。以下、図50 (USP5, 101, 116のFig. 1Aに記載される駆動電圧波形を転記) 及び図51 (同Fig. 2Bに記載される回路を転記) を用いて、この電源回路の動作と構成を説明する。図50において $TP_y$  ( $y = 1, 2, \dots, n$ ) はY電極を駆動する電圧波形であり、VD2は正側の選択電圧、VS2は負側の選択電圧、 $VM^+$ はVD2を選択した後の非選択電圧、 $VM^-$ はVS2を選択した後の非選択電圧である。VD2 - VS2は約40V程度であり、ほぼ、 $VD2 - VM^+ = VM^- - VS2$ の関係が成り立つ。すなわち、VD2とVS2の中央電圧をVCとすれば、VD2とVS2はVCに対して互いにほぼ対称であり、 $VM^+$ と $VM^-$ もVCに対して互いにほぼ対称である。

$VM^+ - VM^-$ は $VD2 - VS2$ に比べてかなり小さい。また、前述したMLS駆動では正側と負側の選択電圧の両方が常時必要である。これに対して、2端子型非線形スイッチング素子を用いた液晶表示装置においては、ある時点で必要な選択電圧は $VD2$ か $VS2$ の一方のみであり、同一タイミングにおいて両方の選択電圧が必要となることは無い。図51は、この点に着目し、Yドライバの耐圧が $VD2 - VS2$ の約半分で済むように工夫した回路の例である。 $VD2$ が必要なタイミングではトランジスタ250をオン、トランジスタ252をオフさせる。これにより、 $VD(t)$ は $VM^+$ より高い電圧である $VD2$ となり、 $VS(t)$ は容量結合により $VS2$ より高い電圧である $VS1$ となる。 $VS2$ が必要なタイミングではトランジスタ252をオン、トランジスタ250をオフさせる。これにより、 $VS(t)$ は $VM^-$ より低い電圧である $VS2$ となり、 $VD(t)$ は容量結合により $VD2$ より低い電圧である $VD1$ となる。同一タイミングにおいて選択電圧が正側か負側のどちらか一方だけを与えればよい場合には、このようにYドライバに加える電源電圧を揺さぶることにより、Yドライバの耐圧を $VD2 - VS2$ の約半分で済ませることが可能である。以下、電源電圧をこのように揺さぶる駆動方式を揺さぶり電源方式と表す。現在はこの揺さぶり電源方式が、2端子型非線形スイッチング素子を用いた液晶パネルでは主流となっている。

揺さぶり電源方式は上述のようにYドライバの耐圧が $VD2 - VS2$ の約半分で済むという長所はあるが、それにもかかわらず、液晶表示装置の消費電力を極端に増加させるという欠点がある。消費電力が増加する原因の一つは、Yドライバに寄生する全ての容量が揺さぶられる電圧幅で充放電するためと、揺さぶられるタイミングにおいてYドライバ内でショート的に電流が流れるためである。もう一つの原因は、電源回路自体の消費電力が大きいためであり、電源回路自体の消費電力を減らす良い方法が無いためである。

以上をまとめれば、図48、図49のような構成の電源回路には次のような問題点があった。

- (1) パネルの充放電電流を供給する際の無効消費電力が大きい。
- (2) Xドライバのロジック部での消費電流も高電圧の $V_{EE}$ から供給されるため、更に消費電力が増大する。



(3) オペアンプの電源として高電圧のV<sub>EE</sub>を用いるため、V<sub>EE</sub>からGNDに定常的に流れるオペアンプのアイドリング電流による消費電力が大きい。

(4) 電源回路に用いるオペアンプとして、高価格の低電力高耐圧オペアンプを用いなければならない。

また図51の構成の電源回路・駆動方式においても消費電力を低減できない。

本発明は以上のような課題を解決するもので、その目的とするところは、低消費電力で安価な電源回路、液晶表示装置、電子機器を提供することにある。

#### [発明の開示]

上記課題を解決するために本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ( $N \geq 4$ ) 電位を供給する電源回路であって、前記入力電源電圧に含まれる高電位側の第1入力電位を、前記第1～第N電位の中の第G ( $1 < G < N$ ) 電位として供給する手段と、前記入力電源電圧に含まれる低電位側の第2入力電位を、前記第1～第N電位の中の第J ( $1 < J < N$ ) 電位として供給する手段と、所与のクロックに基づきチャージ・ポンプ動作を行い、高電位側の前記第1電位を直接に又は調整手段を介して供給するチャージ・ポンプ回路と、所与のクロックに基づきチャージ・ポンプ動作を行い、低電位側の前記第N電位を直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含むことを特徴とする。

液晶等の表示素子を駆動する場合、一般的に、高電位側の第1電位、低電位側の第N電位により供給しなければならない消費電流は少く、中間電位である第G電位、第J電位により供給しなければならない消費電流は多い。そして本発明によれば、第1、第N電位は、出力能力は低いが高効率のチャージ・ポンプ回路により供給され、第G、第J電位は、出力能力の高い入力電源電圧により供給される。この結果、本発明によれば、表示品質の維持と低消費電力化とを両立することが可能となり、低消費電力化を目指す液晶表示装置に最適の電源回路を提供できる。

また本発明は、前記第1～第N電位の中の前記第1、第G、第J、第N電位以外の電位を、所与のクロックに基づきチャージ・ポンプ動作するチャージ・ポンプ回路あるいは所与のオペアンプにより供給することを特徴とする。

第1、第G、第J、第N電位以外の電位を、全てチャージ・ポンプ回路により供給すれば、更なる低消費電力化を図れる。一方、これらの電位の供給に、出力能力の高いオペアンプを用いたとしても、本発明では、オペアンプの動作電圧を低くできるため、消費電力はそれほど悪化しないという利点がある。

また本発明は、前記第1～第N電位を、前記第1入力電位、前記第2入力電位、該第1、第2入力電位の中点電位、並びに該第1、第2入力電位と異なる電位を発生した場合の該発生電位と該第1又は第2入力電位との中点電位のいずれかに対して対称に形成することを特徴とする。

即ち本発明によれば、第1～第N電位を、第1入力電位に対して対称に、あるいは第2入力電位に対して対称に、あるいは第1、第2入力電位の中点電位に対して対称に、あるいは発生電位と第1又は第2入力電位との中点電位に対して対称に形成することができる。

また本発明は、前記第1、第2入力電位のいずれかに基づき該第1、第2入力電位と異なる電位を発生し、該発生電位を前記第G、第J電位のいずれかとすることを特徴とする。

例えば第1、第2入力電位の電位差に比べて、必要とされる第G、第J電位の電位差が大きい場合を考える。この場合に、本発明によれば、例えば第1入力電位から、より高い電位を発生することで、所望の電位差を持つ第G、第J電位を得ることができる。これによりロジック電圧の低電圧化等が可能となる。

また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ( $N \geq 4$ ) 電位を供給する電源回路であって、所与のクロックに基づきK倍 ( $K \geq 2$ ) 昇圧のチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、所与のクロックに基づきL/M倍 (但しL/Mは整数でない) 降圧又はM/L倍昇圧のチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含むことを特徴とする。

本発明によれば、例えば6倍昇圧回路と1/3倍降圧回路とが混在するような電源回路を実現できる。これにより、表示素子の駆動に必要とされる種々の電圧群を、低消費電力で供給することが可能となる。

また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ( $N \geq 4$ ) 電位を供給する電源回路であって、周期的に発生するパルスを含むパルス状クロックにより生成されたクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、前記チャージ・ポンプ回路を含むボンピング・コンデンサの充電及びボンピングコンデンサによるバックアップ・コンデンサの充電を、前記パルス状クロックの前記パルスの発生期間において停止させる手段とを含むことを特徴とする。

本発明によれば、パルス状クロックのパルス発生期間では、ボンピング・コンデンサ、バックアップ・コンデンサの充電が停止され、これにより遷移タイミングでの電荷の逃げが防止される。なおパルス状のクロックとしては、ドライバICに用いられるラッチパルス等が最適である。

また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ( $N \geq 4$ ) 電位を供給する電源回路であって、所与のクロックに基づきチャージ・ポンプ動作を行い、高電位側の前記第1電位と低電位側の前記第N電位のいずれかを、直接に又は調整手段を介して供給するチャージ・ポンプ回路と、複数のボンピング・コンデンサによりバックアップ・コンデンサを交互に充電するチャージ・ポンプ動作を所与のクロックに基づき行い、前記第1～第N電位の中の第I電位 ( $1 < I < N$ ) を直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含むことを特徴とする。

本発明によれば、複数のボンピング・コンデンサによりバックアップコンデンサが交互に充電されるため、チャージ・ポンプ回路の出力能力を高めることができる。特に、供給しなければならない消費電流が一般的に多い中間電位の第I電位を、この出力能力の高いチャージ・ポンプ回路で発生することで、表示特性等を効果的に向上できる。

また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ( $N \geq 4$ ) 電位を供給する電源回路であって、所与のクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、前記チャージ・ポンプ回路を含むボン

ピング・コンデンサの充電及びポンピングコンデンサによるバックアップ・コンデンサの充電を、前記表示素子の駆動における1水平走査期間毎に行わせる手段とを含むことを特徴とする。

本発明よれば、1水平期間毎にチャージ・ポンプ動作を完了させることができ、これにより表示ムラの発生等を効果的に防止できる。

また本発明は、前記チャージ・ポンプ回路が、複数のポンピング・コンデンサによりバックアップ・コンデンサを1水平期間毎に交互に充電するチャージ・ポンプ動作を行うことを特徴とする。

このように複数のポンピング・コンデンサで1水平期間毎に交互にバックアップ・コンデンサを充電することで、1水平期間毎にチャージ・ポンプ動作を完了させることが可能となる。

また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ( $N \geq 4$ ) 電位を供給する電源回路であって、所与のクロックに基づきK倍 ( $K \geq 2$ ) 昇圧又は $L/M$ 倍 (但し $L/M$ は整数でない) 降圧又は $M/L$ 倍昇圧のチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、前記チャージ・ポンプ回路の昇圧倍率又は降圧倍率を変更する手段とを含むことを特徴とする。

本発明によれば、チャージ・ポンプ回路が行う昇圧又は降圧の倍率を変更でき、例えば6倍昇圧回路を5倍昇圧回路に変更すること等が可能となる。例えば表示素子の特性、入力電源電圧の値に応じて昇圧倍率等を変更することで、必要となる種々の駆動電圧群を形成することが可能となる。なお、昇圧、降圧倍率の変更は、外部端子等を用いても行えるようにしておくことが望ましい。

また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ( $N \geq 4$ ) 電位を供給する電源回路であって、所与のクロックに基づきチャージ・ポンプ動作を行い、高電位側の前記第1電位又は低電位側の前記第N電位を直接に又は調整手段を介して供給するチャージ・ポンプ回路と、前記入力電源電圧の投入後の所与の期間、前記チャージ・ポンプ回路による前記第1電位又は前記第N電位の供給を停止する手段とを含むことを特徴とする。

本発明によれば、入力電源電圧の投入後、所与の期間が経過し、制御回路等が

正常に動作した後に、第1又は第N電位の供給を開始させることが可能となる。  
これによりシステムの正常な立ち上げが可能となる。

また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ( $N \geq 4$ ) 電位を供給する電源回路であって、前記入力電源電圧に含まれる高電位側の第1入力電位を、前記第1～第N電位の中の第G ( $1 < G < N$ ) 電位として供給する手段と、前記入力電源電圧に含まれる低電位側の第2入力電位を、前記第1～第N電位の中の第J ( $1 < J < N$ ) 電位として供給する手段と、前記入力電源電圧に含まれ前記第1、第2入力電位よりも高電位側又は低電位側の第3入力電位を、高電位側の前記第1電位と低電位側の前記第N電位のいずれかとして供給する手段と、所与のクロックに基づきチャージ・ポンプ動作を行い、前記第1、第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、所与のクロックに基づきチャージ・ポンプ動作を行い、前記第G、第J電位よりも高電位側又は低電位側の第F電位 ( $1 < F < N$ ) を、直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含み、前記第1～第N電位の中の前記第1、第F、第G、第J、第N電位以外の電位を、所与のクロックに基づきチャージ・ポンプ動作するチャージ・ポンプ回路により供給することを特徴とする。

本発明によれば、必要とされる消費電流に見合った出力能力を有する回路及び手段により第1～第N電位の供給が可能となり、表示品質の維持と低消費電力化とを両立できる。

また本発明は、入力電源電圧が与えられ、表示素子を駆動するための第1～第N ( $N \geq 4$ ) 電位を供給する電源回路であって、所与のクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、前記入力電源電圧の供給停止、前記所与のクロックの供給停止あるいは表示オフ制御信号の入力の少なくとも1つがなされた場合に、前記第1、第N電位の少なくとも一方により電圧が供給される回路部分の残留電荷を放電させる手段とを含むことを特徴とする。

本発明によれば、表示素子に高電圧が印加され続ける等の事態が防止され、信頼性の向上等を図ることができる。

また本発明は、前記チャージ・ポンプ回路の所与のクロックを停止する手段を含むことを特徴とする。

本発明によれば、ごくわずかな素子数の増加だけで表示オフ制御が可能となり、表示オフ時の消費電流をほぼ零まで低減できる。

また本発明に係る液晶表示装置は、上記のいずれかの電源回路と、複数のデータ線電極と複数の走査線電極により駆動される液晶層を含む液晶パネルと、前記電源回路により供給される電位に基づいて前記データ線電極を駆動するデータ線ドライバと、前記電源回路により供給される電位に基づいて前記走査線電極を駆動する走査線ドライバとを含むことを特徴とする。

本発明によれば、電源回路自体の消費電力のみならず、液晶表示装置の消費電力も低減でき、携帯用電子機器等に最適な液晶表示装置を提供できる。

また本発明に係る液晶表示装置は、前記電源回路が、前記入力電源電圧に含まれる高電位側の第1入力電位、低電位側の第2入力電位を、前記第1～第N電位のいずれかとして供給する手段と、所与のクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含み、前記第1、第2入力電位を、前記データ線ドライバ及び走査線ドライバの少なくとも一方のロジック部の電源電圧として使用することを特徴とする。

本発明によれば、第1、第2入力電位が、第1～第N電位のいずれかとして使用されると共に、データ線ドライバ又は走査線ドライバのロジック部の電源電圧としても使用される。これにより、データ線ドライバ等のロジック部のために電源電圧を別に与える必要がなくなり、装置の使用者の利便性を図ることができる。また装置の更なる低消費電力化も図れる。

また本発明は、前記電源回路が、所与のクロックに基づきチャージ・ポンプ動作により前記第1、第2入力電位と異なる電位を発生し、該発生電位を前記第1～第N電位のいずれかとして供給するチャージ・ポンプ回路を含むことを特徴とする。

本発明によれば、例えばロジック部の電源電圧と、液晶駆動に使用する第G、第J電位 ( $1 < G, J < N$ ) の電位差が異なる場合に、チャージ・ポンプ回路に

よりこれらが同一となるように調整することが可能となる。これにより、第1、第2入力電位をドライバのロジック部の電源電圧として使用することが、より容易になる。

また本発明に係る液晶表示装置は、前記電源回路が、前記データ線ドライバ用のラッチパルス又は前記走査線ドライバ用のシフトクロックにより生成されたクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路を含むことを特徴とする。

ラッチパルス、シフトクロックは、周期的に発生するパルスを含むパルス状のクロックであり、チャージ・ポンプ回路のクロックを生成するものとして最適である。従ってこれらを使用することで、液晶表示装置の表示品質の維持と、低消費電力とを両立できる。

また本発明に係る電子機器は、前記液晶表示装置を含むことを特徴とする。

本発明によれば、液晶表示装置のみならず、これを含む電子機器の低消費電力化を図ることができる。これにより携帯用情報機器等の電子機器の電池寿命を延ばすこと等が可能となる。

#### [図面の簡単な説明]

第1図は、実施例1に係る電源回路のブロック図である。

第2図は、 $V_2$ 、 $-V_2$ の生成にオペアンプを用いた場合のブロック図である。

第3図は、コントラスト調整回路の一例を示す回路図である。

第4図は、クロック形成回路の一例を示す回路図である。

第5図は、クロック形成回路の動作を説明するためのタイミングチャートである。

第6図は、チャージ・ポンプ回路の基本概念図である。

第7図は、2倍昇圧用チャージ・ポンプ回路の概念図である。

第8図は、負方向2倍昇圧用チャージ・ポンプ回路の概念図である。

第9図は、 $1/2$ 降圧用チャージ・ポンプ回路の概念図である。

第10図は、負方向6倍昇圧用チャージ・ポンプ回路の概念図である。

第11図A、第11図Bは、第10図の回路の動作を説明するための図である。  
第12図は、負方向6倍昇圧用チャージ・ポンプ回路の他の例の概念図である。  
第13図A、第13図Bは、第12図の回路の動作を説明するための図である。  
第14図A、第14図Bは、 $3/2$ 倍昇圧用チャージ・ポンプ回路の概念図である。

第15図A、第15図Bは、負方向 $3/2$ 倍昇圧用チャージ・ポンプ回路の概念図である。

第16図A、第16図Bは、 $2/3$ 倍降圧用チャージ・ポンプ回路の概念図である。

第17図A、第17図Bは、負方向 $2/3$ 倍降圧用チャージ・ポンプ回路の概念図である。

第18図は、負方向2倍昇圧回路の具体例を示す回路図である。

第19図は、第18図の回路の動作を説明するための図である。

第20図A、第20図Bは、レベルシフト手段の一例を示す回路図である。

第21図は、ダイオードを用いたチャージ・ポンプ回路の一例を示す回路図である。

第22図は、第21図の回路の動作を説明するための図である。

第23図は、第21図の回路の応用例を示す回路図である。

第24図は、ボンピング・コンデンサを2つ設けたチャージ・ポンプ回路の例を示す回路図である。

第25図A、第25図B、第25図Cは、水平走査期間毎にチャージ・ポンプ動作を行う手法について説明するための図である。

第26図は、昇圧、降圧の倍率変更部を設けたチャージ・ポンプ回路の例を示す回路図である。

第27図は、昇圧、降圧の倍率変更部を設けたチャージ・ポンプ回路の他の例を示す回路図である。

第28図A、第28図Bは、電源投入後の所与の期間、高電圧の供給を停止させる例を示す回路図である。

第29図は、実施例7に係る電源回路のブロック図である。



第30図は、実施例8に係る電源回路のブロック図である。

第31図は、実施例9に係る電源回路のブロック図である。

第32図は、パネル駆動波形の例を示す図である。

第33図は、実施例10に係る電源回路のブロック図である。

第34図は、実施例11に係る電源回路のブロック図である。

第35図は、実施例11に係る電源回路の他の例を示すブロック図である。

第36図は、入力電源電圧の電位関係を説明するための図である。

第37図は、V<sub>H</sub>、V<sub>L</sub>系の残留電荷を放電させる例を示す回路図である。

第38図は、V<sub>H</sub>、V<sub>L</sub>系の残留電荷を放電させる他の例を示す回路図である。

第39図A、第39図Bは、V<sub>H</sub>、V<sub>L</sub>系の残留電荷を放電させる他の例を示す回路図である。

第40図A、第40図Bは、V<sub>H</sub>、V<sub>L</sub>系の残留電荷を放電させる他の例を示す回路図である。

第41図は、実施例13に係る液晶表示装置の一例を示すブロック図である。

第42図は、第41図の液晶表示装置の駆動波形を説明するための図である。

第43図は、レベルシフト手段の一例を示す回路図である。

第44図Aは、実施例14に係る液晶表示装置の一例を示すブロック図であり、第44図Bは、駆動電圧の電位関係を説明するための図である。

第45図Aは、実施例15に係る液晶表示装置の一例を示すブロック図であり、第45図Bは、駆動電圧の電位関係を説明するための図である。

第46図Aは、実施例16に係る液晶表示装置の一例を示すブロック図であり、第46図Bは、駆動電圧の電位関係を説明するための図である。

第47図は、実施例17に係る電子機器の一例を示すブロック図である。

第48図は、第1の背景例の電源回路の一例を示す回路図である。

第49図は、第2の背景例の電源回路の一例を示す回路図である。

第50図は、第3の背景例の電源回路を説明するためのパネル駆動波形の一例を示す図である。

第51図は、第3の背景例の電源回路の一例を示す回路図である。

## 〔発明を実施するための最良の形態〕

以下、本発明の実施例を図面に基づいて説明する。なお、特に記さないかぎり便宜上GNDの電位を0Vとして説明を進める。

## 〔実施例1〕

図1に実施例1の電源回路のブロック図を示す。この電源回路は図49の電源回路と同一の出力電圧を発生する機能を持つ。

この電源回路の入力電源電圧は、 $V_{cc}$ （第1入力電位）、GND（第2入力電位）のみであり単一電源入力となっている。また水平走査期間毎に発生するパルスから成るラッチパルスLPが入力される。クロック形成回路1は、LPに基づき、チャージ・ポンプ回路に必要な、タイミングの異なるいくつかのクロック信号を形成するものであり、 $V_{cc}$ 及びGNDを電源としている。負方向6倍昇圧回路2は、 $V_{cc}$ を基準にGNDを負方向へ6倍昇圧した電圧 $V_{EE}$ をチャージ・ポンプ動作により発生する。 $V_{cc}$ が3.3Vの時、 $V_{EE}$ は-16.5Vになる。コントラスト調整回路3は、最適コントラストとなる選択電圧 $V_L$ を $V_{EE}$ に基づき発生する。この $V_L$ はY電極の負側選択電圧となる。2倍昇圧回路4は、 $V_L$ を基準にGNDを2倍昇圧した正側の選択電圧 $V_H$ をチャージ・ポンプ動作により発生する。負方向2倍昇圧回路5は、 $V_{cc}$ を基準にGNDを負方向へ2倍昇圧した電圧である $-V_3$ をチャージ・ポンプ動作により発生する。1/2降圧回路6、7は、 $V_{cc}$ -GND間を2等分した電圧である $V_2$ 、GND- $(-V_3)$ 間を2等分した電圧である $-V_2$ をチャージ・ポンプ動作により発生する。中央電位VCにはGNDをそのまま用いる。またGNDに対して $-V_3$ と対称な電位である $V_3$ には、 $V_{cc}$ をそのまま用いる。以上で液晶パネルを駆動する電圧は形成できた。この電源回路では、出力される電圧 $V_H$ 、 $V_3$ 、 $V_2$ 、VC、 $-V_2$ 、 $-V_3$ 、 $V_L$ は、GND（第2入力電位）に対して対称となる。なお回路8は、 $V_L$ より $V_{cc}$ だけ高い電圧を形成し、これをYドライバのロジック電圧 $VDD_y$ として供給するものである。 $VDD_y$ 自体はパネルには直接加えられることがないため、電圧の対称性の対象外である。

以上説明した本実施例は、次のような構成上の特徴を有している。

(1) 本実施例では、入力電源電圧に含まれる高電位側の第1入力電位 $V_{cc}$ 、

低電位側の第2入力電位GNDを、第1～第N電位 ( $N \geq 4$ ) の中の第G電位V3、第J電位VCとしてそのまま用いている。また所与のクロックに基づきチャージ・ポンプ動作を行い、高電位側の第1電位VH、低電位側の第N電位VLを、直接に又は調整手段(コントラスト調整回路3)を介して供給する2倍昇圧回路4、負方向6倍昇圧回路2を含んでいる。

背景技術において説明したように、液晶パネル自体の消費電流は、Y電極の非選択電圧VCと、X電極の駆動電圧V3、V2、-V2、-V3との間で流れるものが大部分である。例えば1/240デューティの場合、選択状態のY電極は4ラインのみであるのに対して残りの236ラインは全て非選択状態だからである。本実施例はこの点に着目し、第1電位VH、第N電位VLを、出力能力(電流供給能力)は低いが高効率のチャージ・ポンプ回路で供給すると共に、中間電位である第G電位V3、第J電位VCには出力能力の高い入力電源電圧Vcc、GNDを接続している。このようにすることで、表示品質の維持と低消費電力化とを両立できる。一方、図49の電源回路は、全ての電流が第1電位VEE、第N電位GND間を流れる構成となっているため、VEEを形成する回路は出力能力の高いものでなければならない。従って、VEEをチャージ・ポンプ回路で供給することがほとんど不可能であり、表示品質の維持と低消費電力化とを両立できない。

(2) 本実施例では、第1～第N電位の中の前記第1、第G、第J、第N電位以外の電位V2、-V2、-V3を、所与のクロックに基づきチャージ・ポンプ動作する1/2降圧回路6、7、負方向2倍昇圧回路5により供給している。このようにV2、-V2、-V3もチャージ・ポンプ回路により供給することで、更なる低消費電力化を図れる。しかも本実施例によればチャージ・ポンプ動作に必要なクロックをチャージ・ポンプ回路間で共有できるため、制御が容易であり、回路規模の増大も最小限に抑えることができる。

なお図2に、V2、-V2をオペアンプOP1、OP2により供給する場合のブロック図を示す。R1、R3は、V3、VC(GND)間を電圧分割するためのブリーダ抵抗、R2、R4は、VC、-V3間を電圧分割するためのブリーダ抵抗である。またOP1、OP2は、ブリーダ抵抗により分割された電圧を低イ

ンピーダンスで出力するためのオペアンプである。また $R_{11}$ 、 $R_{12}$ は、 $OP_1$ 、 $OP_2$ の出力電流を制限して動作の安定化を図るとともにその消費電力を減らすための抵抗であり、 $C_1 \sim C_4$ は $V_2$ 、 $-V_2$ の変動を抑えるための平滑コンデンサである。 $OP_1$ は $V_3$ 、 $V_C$ を電源として、 $OP_2$ は $V_C$ 、 $-V_3$ を電源として動作する。 $C_1$ は $V_3$ 、 $V_C$ 間に、 $C_4$ は $V_C$ 、 $-V_3$ 間に配置してもよい。このように $V_2$ 、 $-V_2$ をオペアンプ $OP_1$ 、 $OP_2$ により供給しても、 $OP_1$ 、 $OP_2$ は、図49の電源回路と異なり、小さい電源電圧で動作するため、この部分の消費電力を許容範囲内に抑えることができる。

(3) また本実施例は、所与のクロックに基づき $K$ 倍 ( $K \geq 2$ ) 昇圧のチャージ・ポンプ動作を行い、第1～第 $N$ 電位のいずれかを直接に又は調整手段(コントラスト調整回路3)を介して供給する負方向6倍昇圧回路2、2倍昇圧回路4、負方向2倍昇圧回路5と、所与のクロックに基づき $L/M$ 倍(但し $L/M$ は整数でない)降圧又は $M/L$ 倍のチャージ・ポンプ動作を行い、第1～第 $N$ 電位のいずれかを直接に又は調整手段を介して供給する $1/2$ 降圧回路6、7とを含む。このように本実施例では、 $K$ 倍昇圧を行うチャージ・ポンプ回路と、 $L/M$ 倍降圧等を行うチャージ・ポンプ回路とを混在させている。これにより、単一入力電源( $V_{cc}$ 、 $GND$ )から種々の電圧を低消費電力で供給することが可能となる。

次にコントラスト調整回路3について図3を用いて説明する。コントラスト調整回路3は、 $GND-V_{EE}$ 間に直列接続で挿入された固定抵抗 $R_{fix}$ 及び可変抵抗 $R_{vol}$ と、バイポーラ・トランジスタ $Tr$ と、コンデンサ $C_{VL}$ とを含む。本実施例の電源回路で駆動する液晶表示装置においては、出力電圧 $V_L$ を流れる電流が小さいため、 $Tr$ のベース電流も小さくて済む。その結果、 $R_{fix}$ や $R_{vol}$ は $500K\Omega \sim 1M\Omega$ と高抵抗でよく、この抵抗による消費電力を $0.2mW \sim 0.4mW$ 程度に抑えることができる。

なお図1ではコントラスト調整回路3を $V_L$ 側にのみ設けたが、 $V_H$ 側のみに設けたり、 $V_H$ 側と $V_L$ 側の両方に設けてもかまわない。図1では、一方側のみコントラスト調整回路3を設け、コントラスト調整回路3で得た電圧 $V_L$ に基づいて2倍昇圧回路4により $V_H$ を生成している。この構成では、コントラスト調整回路3により $V_L$ を調整することで、 $V_H$ も自動的に調整できるという利点

がある。一方、 $V_H$ 、 $V_L$ の両側にコントラスト調整回路3を設ける構成によると、 $V_H$ 、 $V_L$ を独立に調整できるという利点がある。MIM等の非線形スイッチング素子は、電圧を印加する方向によって電流の流し易さが異なるという特性を有している。従って、MIM等を用いた液晶表示装置では、 $|V_H|$ を $|V_L|$ に対して0.5V程度低くすることが好ましい場合がある。従って、このような場合には、コントラスト調整回路を $V_H$ 側と、 $V_L$ 側の両方に設けることが望ましい。具体的には、 $V_H$ 側のコントラスト調整回路にダイオード等を含ませ、このダイオードの順方向電圧を利用して $V_H$ を降圧すればよい。

また図1では、7レベルの電圧を得るために1/2降圧回路6、7を設けたが、所望の電圧が5レベルの場合には、1/2降圧回路6、7を省略すればよい。

以上の構成の本実施例によれば、以下に述べる理由により、4ライン同時選択法で駆動される液晶表示装置の低消費電力化が可能となる。

第一の理由は、パネルの充放電電流による消費電力が究極的にまで低減するからである。パネル電流の大部分を占める充放電電流、即ちX電極と非選択状態のY電極との間で流れる充放電電流について考える。X電極の電圧 $V_3$ 、 $-V_3$ 、 $V_2$ 、 $-V_2$ と、Y電極の電圧 $V_C$ との間で流れる充放電電流を各々 $I_{P3}$ 、 $I_{M3}$ 、 $I_{P2}$ 、 $I_{M2}$ とする。すると $I_{P3}$ による消費電力は $V_{CC} \times I_{P3}$ となる。またチャージ・ポンプ回路は極めて高効率であるから、 $I_{M3}$ による消費電力もほぼ $V_{CC} \times I_{M3}$ となり、 $I_{P2}$ 、 $I_{M2}$ による消費電力も各々ほぼ $(1/2) \times V_{CC} \times I_{P2}$ 、 $(1/2) \times V_{CC} \times I_{M2}$ となる。一方、図49の背景例では、高電圧を $V_{EE}$ とすると、これら各電流による消費電力は $V_{EE} \times I_{P3}$ 、 $V_{EE} \times I_{M3}$ 、 $V_{EE} \times I_{P2}$ 、 $V_{EE} \times I_{M2}$ となる。 $V_{EE}$ は25V程度であり、 $V_{CC}$ は3.3V程度であるから、 $I_{P3}$ 、 $I_{M3}$ による消費電力は背景例の1/7以下となり、 $I_{P2}$ 、 $I_{M2}$ による消費電力は1/14以下となる。

次に、X電極と選択状態のY電極との間で流れる充放電電流について考える。Y電極の電圧 $V_H$ 、 $V_L$ とX電極との間で流れる充放電電流を各々 $I_{VH}$ 、 $I_{VL}$ とする。すると、やはり、チャージ・ポンプ回路の高効率性から、 $I_{VH}$ 、 $I_{VL}$ による消費電力は各々ほぼ $5 \times V_{CC} \times I_{VH}$ 、 $5 \times V_{CC} \times I_{VL}$ となり、

背景例の消費電力よりも小さくなる。

第二の理由は高速で動作し消費電流の大きいXドライバのロジック部での消費電力が低減するからである。前述したように、背景例の電源回路では、Xドライバのロジック部での消費電流が高電圧V E Eから供給されているため、消費電力がV E E × 消費電流となる。これに対して、本実施例では消費電力がV c c × 消費電流となり、背景例の1/7以下となる。

第三の理由は高電圧V E Eを形成する昇圧回路の消費電力が小さいからである。一般に、チャージ・ポンプ式の昇圧回路は昇圧能力が小さく、大きな電流を取り出すと出力電圧が低下してしまう。背景例の電源回路で駆動する液晶表示装置では、高電圧系の電流が大きいため、V E Eを形成するのにチャージ・ポンプ式の昇圧回路では能力不足である。従って背景例では、コイルに流す電流を断続する時に発生する高電圧を整流して高電圧V E Eを形成するスイッチング・レギュレータ方式のD C - D Cコンバータが用いられる。スイッチング・レギュレータ方式のD C - D Cコンバータの効率は5 V入力のもので通常80%程度、3.3 V入力のものでは60%程度と極めて低い。このため、V E Eを形成する昇圧回路まで含めると、背景例の電源回路で駆動する液晶表示装置の消費電力は大変大きい。これに対し本実施例の電源回路で駆動する液晶表示装置は高電圧系の電流が小さい。従って、高電圧V E Eは、出力能力は小さいが高効率のチャージ・ポンプ式昇圧回路で供給でき、V E Eを形成する昇圧回路まで含めた消費電力を大きく低減できる。

以上が本実施例の電源回路により液晶表示装置の低消費電力化が可能となる理由である。実際に図1の方式の電源回路でドット数が640×480、ドットピッチが0.2 mmの2画面駆動の液晶表示装置を駆動してみたところ、典型的な消費電力が12 mW程度という期待通りの値であった。

なお本実施例の電源回路をI C化する場合、V Lの形成は、前述したバイポーラ・トランジスタによる回路を外付けする方式ではなく、オペアンプ形式のレギュレータをI Cに内蔵させることでも可能である。また、I Cの耐圧を下げるために、V H形成用の2倍昇圧回路4を構成する素子のうち、V H - GNDをスイッチングするトランジスタを外付けとし、それ以外を1チップにまとめることも

実用的な手段である。

本実施例の電源回路では、その構成のほとんどをチャージ・ポンプ回路で形成しているため、コンデンサを多く必要とする印象を与える。しかしながら実際には、チャージ・ポンプ回路に含まれるバックアップ・コンデンサの一部を省略したり、 $0.1\mu\text{F}$ 程度の小さな容量値のもので済ませることが可能である。これは、液晶パネル自体が持つ容量が、バックアップ・コンデンサとして働くためと考えられる。

### 〔実施例2〕

実施例2は、図1のクロック形成回路1に関する実施例であり、図4にその構成の一例を、図5にその動作を説明するためのタイミングチャートを示す。この回路全体は $V_{CC}-GND$ 系で動作する。また基本クロック信号として、水平走査期間(1H)毎に発生するパルスを含むラッチパルスLPを使用する。Dタイプ・フリップフロップDFは、 $/Q$ 出力が書き込みデータ入力Dに接続されており、これによりLPの立ち上がりエッジでトグル動作をする。ノア回路Nor1、Nor2は、2相のクロック信号A、Bを形成するためのものであり、インバータ回路Inv1、Inv2、Inv3は、各々、A、B、 $/Doff$ の逆相の信号 $/A$ 、 $/B$ 、 $Doff$ を形成するためのものである。

#### (1) パルス状クロック

本実施例では、周期的に発生するパルス(図5のP1、P2等)を含むパルス状クロックLPにより生成されたクロックに基づき、チャージ・ポンプ回路(図1の負方向6倍昇圧回路2等)にチャージ・ポンプ動作を行わせている。そしてチャージ・ポンプ回路が含むポンピング・コンデンサの充電、及びポンピングコンデンサによるバックアップ・コンデンサの充電を、パルス状クロックLPのパルスの発生期間において停止させている。即ち、図5のTpに示すように、LPのパルスの発生期間(LPがハイレベルの期間)は、信号Aも信号Bもロウレベルになるようにしている。信号A、Bがロウレベルになると、チャージ・ポンプ回路を形成するスイッチ群(トランジスタ群)は全てオフになり、これにより、遷移タイミングでの電荷の逃げを防止できる。

但し、この遷移タイミングでのスイッチ群のオフ時間が長すぎると（ $T_p$ の期間が長すぎると）、逆にポンピング・コンデンサ、バックアップ・コンデンサを充電する時間が短くなるため、必要な電圧が得られなくなる。LPは、パルス幅が通常 $100\text{ ns} \sim 300\text{ ns}$ 程度、周期が数十 $\mu\text{ s} \sim 100\mu\text{ s}$ 程度のパルス状クロックであるため、この回路の基本クロックとして好都合である。また、パネルの充放電は1水平走査（1H）周期で起こるため、LPを用いて1H周期でパネルの駆動電圧を充電することは理に合っている。LPを入力とせず、CR発振回路等で基本クロックを内部発生することも可能ではあるが、ドライバICに入力されるラッチパルスを、本電源回路の基本クロックにも転用する方が回路が簡単となり好ましい。

なお本実施例で使用するパルス状クロックは、Xドライバ用のラッチパルスであるLPに限らず、例えばYドライバ用のシフトクロックYSC L等を用いてもよい。またパルス状クロックを用いない場合には、スイッチ群をオフさせる期間 $T_p$ を、ディレイ回路等を利用して作り出せばよい。

## （2）クロックの停止機能

また本実施例では、表示オフ制御信号/ $\text{Doff}$ がロウレベルに間ば、信号Aも信号Bもロウレベルにして、チャージ・ポンプ回路の動作が停止するようにしている。即ち電源回路に、チャージ・ポンプ回路に与えるクロックを停止する機能を持たせている。この機能を付加することで、表示オフ制御時の電源回路の消費電力をほぼ零にできる。また、選択電圧の出力が同時に停止するため、Yドライバに表示オフ制御機能が無いものを用いても、液晶表示装置全体として表示オフ制御機能を持たせることが可能となる。なお、図4の例では電源回路をIC化した時のテスト容易性を考慮し、DFにリセットをかけることによってクロックの発生を停止し、チャージ・ポンプ回路の動作を停止している。しかしながら、LPと/ $\text{Doff}$ を所与のAND回路に入力し、得られた信号を新たな基本クロックとするという方法を用いても、チャージ・ポンプ回路の動作を停止することは可能である。

## 〔実施例3〕



実施例3は、図1の負方向6倍昇圧回路2、2倍昇圧回路4等のチャージ・ポンプ回路に関する実施例である。

#### (1) 基本概念。

図6はチャージ・ポンプ回路の最も基本となる概念図である。図6においてSWaとSWbは連動スイッチであり、一方がA側に倒れている間是他方もA側に倒れている。また図6ではSWa、SWbを機械的なスイッチで表したが、実際にはスイッチSWa、SWbは、A側との導通・遮断を制御するMOSトランジスタと、B側との導通・遮断を制御するMOSトランジスタの通常2つのトランジスタにより構成できる。

SWa、SWbがA側に切り替わっている間は、ポンピング・コンデンサCpは $V_b - V_a$ の電圧で充電される。次いでSWa、SWbがB側に切り替わると、Cpに充電された電荷がバックアップ・コンデンサCbに転送される。このスイッチング動作を繰り返すことにより、Cbに加わっている電圧、すなわち、 $V_e - V_d$ 間の電圧は $V_b - V_a$ 間の電圧とほぼ等しい値に近づく。この時、Vdがある定まった電圧である場合には、Vdより $V_b - V_a$ だけ高い電圧がVeに発生する。逆に、Veがある定まった電圧である場合には、Veより $V_b - V_a$ だけ低い電圧がVdに発生する。以上がチャージ・ポンプ回路の基本動作である。次に述べるように、Va、Vb、Vd、Veをどこに接続するかによって、この回路が昇圧回路として機能したり、降圧回路として機能したりする。

#### (2) 2倍昇圧

図7は、図6においてVdをVbに結線したもので、2倍昇圧用チャージ・ポンプ回路の概念図となる。つまり、上述した理由により、SWaとSWbが連動スイッチング動作を繰り返すことで $V_e - V_d = V_e - V_b = V_b - V_a$ となるから、 $V_e - V_a = (V_e - V_b) + (V_b - V_a) = 2 \times (V_b - V_a)$ が成立する。すなわち、Vaを電位の基準レベル(0V)とすると $V_e = 2 \times V_b$ となり、VeはVbを2倍昇圧した電圧となる。

#### (3) 負方向2倍昇圧

図8は、図6においてVeをVaに結線したもので、負方向2倍昇圧用チャージ・ポンプ回路の概念図となる。SWaとSWbが連動スイッチング動作を繰り返

返すことで  $V_e - V_d = V_a - V_d = V_b - V_a$  となるから、 $V_b - V_d = (V_b - V_a) + (V_a - V_d) = 2 \times (V_b - V_a)$  が成立する。すなわち  $V_b$  を電位の基準レベル (0 V) とすると  $V_d = 2 \times V_a$  となり、 $V_d$  は  $V_a$  を負方向へ 2 倍昇圧した電圧となる。

#### (4) 1/2 降圧

図 9 は、図 8 において入力電圧を  $V_b - V_a$  から  $V_b - V_d$  に変更したものであり、1/2 降圧用チャージ・ポンプ回路の概念図である。 $V_e$  が出力電圧であり、 $V_e$  につながる負荷が消費する電流はバックアップ・コンデンサ  $C_b$  から供給される。まず、 $SW_a$ 、 $SW_b$  が B 側と導通している時は  $C_p$  と  $C_b$  とは並列接続になるから、この  $C_p$ 、 $C_b$  に加わっている電圧は等しい。次に  $SW_a$ 、 $SW_b$  が A 側に切り変わると、直列接続となった  $C_p$ 、 $C_b$  が、入力電圧  $V_b - V_d$  間に入る形となり、 $C_p$ 、 $C_b$  に加わる電圧は入力電圧の半分となる。次いで再び  $SW_a$ 、 $SW_b$  が B 側に切り変わると、 $C_p$  と  $C_b$  は並列接続になるから、 $C_p$  に蓄えられていた電荷が  $C_b$  に供給され、 $C_p$  に加わる電圧と  $C_b$  に加わる電圧が等しくなる。従って、 $C_p$ 、 $C_b$  に蓄えることのできる電荷が、 $V_e$  の負荷電流により持ち去られる電荷に比べて十分に大きければ、 $SW_a$  と  $SW_b$  が連動スイッチング動作を繰り返すことで、 $V_e$  には、入力電圧の 1/2 に近い出力電圧が発生することになる。

#### (5) 負方向 6 倍昇圧

図 10 は、負方向 6 倍昇圧用チャージ・ポンプ回路の一例を示す概念図であり、図 11 A、図 11 B は、各々、 $SW_{a1} \sim SW_{a3}$  及び  $SW_{b1} \sim SW_{b3}$  が A 側、B 側に切り替わっている時の接続関係図である。 $SW_{a1} \sim SW_{a3}$  及び  $SW_{b1} \sim SW_{b3}$  は連動スイッチであり、 $C_{p1} \sim C_{p3}$  はポンピング・コンデンサ、 $C_{b1}$  と  $C_{b23}$  はバックアップ・コンデンサである。

前述した負方向 2 倍昇圧回路と同じ動作により、 $-V_{3B}$  には、 $V_{cc}$  を基準として GND を負方向へ 2 倍昇圧した電圧である  $-2 \times (V_{cc} - \text{GND})$  が発生する。全スイッチが A 側に切り替わっている場合は、図 11 A に示すように、 $C_{p2}$  と  $C_{p3}$  は並列接続となるため、 $C_{p2}$ 、 $C_{p3}$  は、各々、ほぼ  $2 \times (V_{cc} - \text{GND})$  の電圧で充電されることになる。

次に全スイッチがB側に切り変わると、図11Bに示すように、直列接続されたCp2、Cp3が、Cb23に並列接続される。Cp2、Cp3は、前述のように $2 \times (V_{cc} - GND)$ で充電されている。従って、 $-V_{3B}$ 、VEE間には $4 \times (V_{cc} - GND)$ の電圧が発生し、この電圧でCb23が充電される。以上の理由から、全スイッチが連動スイッチング動作を繰り返すことで、VEEには、 $V_{cc}$ を基準にGNDを負方向へ6倍昇圧した電圧、即ち $V_{cc} - 6 \times (V_{cc} - GND)$ が発生する。例えば $V_{cc} = 3V$ の場合には、 $-V_{3B}$ には $-3V$ 、VEEには $-15V$ の電圧が発生する。

図12は、負方向6倍昇圧用チャージ・ポンプ回路の他の例を示す概念図であり、図13A、図13Bは、各々、SWa1～SWa3及びSWb1、SWb23がA側、B側に切り替わっている時の接続関係図である。Cp1～Cp3はポンピング・コンデンサ、Cb1～Cb3はバックアップ・コンデンサである。

図10の回路と同様に、 $-V_{3B}$ には、 $V_{cc}$ を基準にGNDを負方向へ2倍昇圧した電圧である $-2 \times (V_{cc} - GND)$ が発生する。全スイッチがA側に切り替わっている時は、図13Aに示すように、Cp2は、ほぼ $2 \times (V_{cc} - GND)$ の電圧で充電される。また図12に示すようにCp2、Cb2、SWb23、SWa2から成る回路は、Cp1、Cb1、SWb1、SWa1から成る回路と同様に、負方向2倍昇圧回路となっている。従ってCb2も、 $2 \times (V_{cc} - GND)$ の電圧で充電され、VEMには、 $-4 \times (V_{cc} - GND)$ の電圧が発生する。これによりCp3は、 $4 \times (V_{cc} - GND)$ の電圧で充電されることになる。

次に全スイッチがB側に切り替わると、図13Bに示すように、 $-V_{3B}$ とVEEとの間にCp3が挿入される接続関係になる。 $-V_{3B}$ の電圧は $-2 \times (V_{cc} - GND)$ であり、Cp3は $4 \times (V_{cc} - GND)$ の電圧で充電されている。従ってVEEには結局、 $V_{cc}$ を基準にGNDを負方向へ6倍昇圧した電圧、即ち $V_{cc} - 6 \times (V_{cc} - GND)$ の電圧が発生する。

図10の回路は図12の回路と異なり、 $-V_{3B}$ とVEEとの中間の安定した電圧であるVEMが不要であるため、図12の回路よりも必要なコンデンサの数が1つ少なくてよいという利点がある。一方、図12の回路は、Cp2及びCp

3の+電極につながるスイッチが共用となるため、図10の回路よりも必要なスイッチの数が1つ（トランジスタ数としては2つ）少なくてよいという利点がある。更に、中間電圧VEMを形成することで図10の回路よりもトランジスタのドレイン耐圧が低くてもよくなり、トランジスタのサイズを小さくできるという利点もある。

#### (6) 3/2倍昇圧

図14A、図14Bは、3/2倍昇圧用チャージ・ポンプ回路の概念図である。CpH、CpLはポンピング・コンデンサであり、Cbはバックアップ・コンデンサである。図14A、14Bに示すように、この回路では、CpH、CpL、Cbが直列接続になっている状態と、Cb、CpH、CpLが並列接続になっている状態とが交互に繰り返される。CpH、CpLに加わっている電圧を各々VcpH、VcpLと表すと、図14BでCpHとCpLが並列接続になっていることから、 $V_{cpH} = V_{cpL}$ となる。また図14AのようにCpHとCpLとがVcc-GND間に直列接続となった時、CpHとCpLにはVccの1/2の電圧が充電される。その後、図14Bの接続状態となった時、CpHとCpLに蓄えられていた電荷がCbに供給される。この動作を何回も繰り返すことにより、Cb、CpH、CpLに加わっている電圧はどれもVccの1/2に近づき、この結果、出力電圧にはVccを3/2倍に昇圧した電圧が発生する。

#### (7) 負方向3/2倍昇圧

図15A、図15Bは、負方向3/2倍昇圧用チャージ・ポンプ回路の概念図である。動作原理は上記の3/2倍昇圧と同様であるため、詳細な説明は省略する。3/2倍昇圧の場合と同様に、ポンピング・コンデンサCpH及びCpLがバックアップ・コンデンサCbと直列接続になっている図15Aの状態と、CbとCpHとCpLが並列接続になっている図15Bの状態とを交互に繰り返すことにより、上記の3/2倍昇圧とは逆方向の昇圧電圧 $-3/2 \times V_{cc}$ を得ることができる。液晶表示装置のドライバICには、ロジック電圧と、そのロジック電圧よりも負側の電圧とを必要とすることがよくあり、そうした液晶表示装置にこの回路を応用することにより、液晶表示装置の低消費電力化が可能となる。

#### (8) 2/3倍降圧

図16A、図16Bは、2/3倍降圧用チャージ・ポンプ回路の概念図である。この回路においても、ポンピング・コンデンサ $C_{pH}$ 及び $C_{pL}$ がバックアップ・コンデンサ $C_b$ と直列接続になっている図16Aの状態と、 $C_b$ と $C_{pH}$ と $C_{pL}$ が並列接続になっている図16Bの状態とを交互に繰り返す。 $C_b$ 、 $C_{pH}$ 、 $C_{pL}$ に加わっている電圧は図16Bでは並列接続になることから全て同一となり、図16Aのように直列接続となった時、 $C_b$ と $C_{pH}$ と $C_{pL}$ にはそれぞれ $V_{cc}$ のほぼ1/3の電圧が充電される。この動作を何回も繰り返すことにより、 $C_b$ 、 $C_{pH}$ 、 $C_{pL}$ に加わっている電圧はどれも $V_{cc}$ の約1/3に近づき、この結果、出力には $V_{cc}$ より $(1/3) \times V_{cc}$ だけ低い電圧、すなわち、 $V_{cc}$ を2/3倍に降圧した電圧が発生する。

#### (9) 負方向2/3倍降圧

図17A、図17Bは、負方向2/3倍降圧用チャージ・ポンプ回路の概念図である。動作原理は上記の2/3倍降圧と同様であるため、詳細な説明は省略する。2/3倍降圧の場合と同様に、 $C_{pH}$ 及び $C_{pL}$ がバックアップ・コンデンサ $C_b$ と直列接続になっている図17Aの状態と、 $C_b$ と $C_{pH}$ と $C_{pL}$ が並列接続になっている図17Bの状態とを交互に繰り返すことにより、2/3倍降圧の場合とは逆方向の降圧電圧 $-2/3 \times V_{cc}$ を得ることができる。

#### (10) チャージ・ポンプ回路の具体例

図18に、図8に示す負方向2倍昇圧用チャージ・ポンプ回路の基本部分を、個別部品で構成した場合（ディスクリットで構成した場合）の例を示す。 $V_x$ を入力電圧、 $V_y$ を出力電圧とし、 $V_x > 0$ とする。タイミングT1（図19参照）でPMOSトランジスタの $Tr_{p1}$ と $Tr_{p2}$ はオンし、ポンピング・コンデンサ $C_p$ を $V_x - GND$ の電圧で充電する。この時N-MOSトランジスタの $Tr_{n1}$ と $Tr_{n2}$ はオフしている。次のタイミングT2では $Tr_{p1}$ と $Tr_{p2}$ をオフさせるとともに $Tr_{n1}$ と $Tr_{n2}$ をオンさせて、ポンピング・コンデンサ $C_p$ に充電されていた電荷をバックアップ・コンデンサ $C_b$ に移す。図18のように $Tr_{n1}$ のソース電極をGNDに接続しておけば、上記タイミングT1、T2の動作を交互に繰り返すことにより、出力 $V_y$ にはGNDに対して $V_x$ と対称な電圧が発生する。

図18においてトランジスタのゲートに入る信号/A1、/A2、B、B2は、例えば図19に示すような位相と電圧の信号である。これらの信号のレベルがV<sub>C</sub>とGNDの間でない場合には、信号をレベルシフトする手段が必要となる。個別部品を用いる場合の簡単なレベルシフト方法は図20A、図20Bのようにカップリング・コンデンサC<sub>s</sub>とダイオードDを利用する方法である。カップリング・コンデンサC<sub>s</sub>の容量は470pF程度あればよい。図20Aの接続により、信号/Aと同位相、同振幅であり、且つPMOSトランジスタTr<sub>p</sub>をオン/オフできるゲート信号/A<sub>x</sub>を得ることができる。また図20Bの接続により、信号Bと同位相、同振幅であり、且つNMOSトランジスタTr<sub>n</sub>をオン/オフできるゲート信号B<sub>x</sub>を得ることができる。R<sub>p</sub>は数MΩの抵抗で、ダイオードのリーク電流を補償しゲート信号の電圧を安定化する働きをしている。

以上は個別部品を用いてチャージ・ポンプ回路を構成する場合について述べた。これに対してチャージ・ポンプ回路をモノリシックIC化する場合、チャージ・ポンプ回路のトランジスタ構成やレベルシフト手段には、よりモノリシックIC化に適した公知の構成・手段を採用すればよい。

#### (11) ダイオードを用いたチャージ・ポンプ回路

図21に、スイッチ素子としてトランジスタの代わりにダイオードD<sub>1</sub>、D<sub>2</sub>を用いた場合のチャージ・ポンプ回路の構成例を示す。V<sub>1</sub>は、安定した入力電圧であり、V<sub>x</sub>は、振幅電圧がV<sub>p</sub>であり駆動能力の高いクロックである。この回路によれば、ダイオードの順方向電圧を約0.6Vとすれば、出力電圧V<sub>2</sub>=V<sub>1</sub>-(クロック振幅電圧V<sub>p</sub>-約0.6V)を効率よく発生させることができる。

次に図22のタイミングチャートを用いて動作について説明する。なお説明を簡単にするためにダイオードD<sub>1</sub>、D<sub>2</sub>の順方向電圧を0Vとする。期間T<sub>c</sub>においては、V<sub>x</sub>=V<sub>a</sub>であり、またD<sub>1</sub>が順方向バイアスとなっているためV<sub>d</sub>=V<sub>1</sub>となっている。従って、コンデンサC<sub>p</sub>は、V<sub>1</sub>-V<sub>a</sub>の電圧で充電される。期間T<sub>d</sub>になると、V<sub>d</sub>のレベルは、C<sub>p</sub>に引っ張られ、V<sub>x</sub>の電圧降下分であるV<sub>p</sub>だけ下がる。これにより、V<sub>1</sub>→C<sub>b</sub>→D<sub>2</sub>→C<sub>p</sub>→V<sub>x</sub>のルートで電流が流れ、C<sub>b</sub>が充電される。以上の期間T<sub>c</sub>、T<sub>d</sub>での動作を繰り返すこと

で、出力電圧  $V_2 = V_1 - V_p$  を得ることができる。

なお図 23 に示すように、図 21 の回路を 2 段重ねれば、 $V_3$  として、 $V_1 - 2 \times (V_p - \text{約 } 0.6 \text{ V})$  の電圧を得ることができる。同様に 3 段重ねれば、 $V_1 - 3 \times (V_p - \text{約 } 0.6 \text{ V})$  の電圧を得ることができる。

以上のように、本発明のチャージ・ポンプ回路としては、トランジスタ等を用いるもののみならず、ダイオードを用いるもの等、種々のものを採用できる。

#### 〔実施例 4〕

実施例 4 は、チャージ・ポンプ回路の出力能力（電流供給能力）を大きくする手法に関する実施例である。基本的には、チャージ・ポンプ回路を形成するトランジスタのオン抵抗を低くし、コンデンサの容量値を大きくすれば出力能力を大きくできるが、他の手法による方が効率的な場合もある。その 1 つの手法として、複数のポンピング・コンデンサを用意し、この複数のポンピング・コンデンサによりバックアップ・コンデンサを交互に充電する手法が考えられる。その他の手法として、LP の周波数を 2 倍にする回路を追加し、LP の半周期毎にチャージ動作、ポンプ動作をさせるという手法も可能である。例えば図 1 における  $-V_3$  は、 $-V_3$  につながる回路部分で消費する電流と、 $-V_2$  につながる回路部分で消費する電流とにより、二重に電圧低下を起こす。従って、 $-V_3$  を供給するチャージ・ポンプ回路は、上記した種々の手法により出力能力を大きくしておくことが望ましい。

図 24 に、複数のポンピング・コンデンサ  $C_{p1}$ 、 $C_{p2}$  を設けて、出力能力を高める回路例を示す。ここでも図 18 と同様に、個別部品で回路を構成した場合の例を示す。

信号 A、 $\neg A$ 、B、 $\neg B$  は、図 4 で説明したクロック形成回路により形成した信号であり、 $V_x$  は入力電圧である。A がハイレベルである期間を  $T_1$ 、B がハイレベルである期間を  $T_2$  とする。 $T_1$  の期間は  $T_{rn1}$ 、 $T_{rn2}$ 、 $T_{rp3}$ 、 $T_{rp4}$  はオフしており、 $T_{rp1}$  と  $T_{rp2}$  はオンしている。これにより  $C_{p1}$  が電圧  $V_x$  で充電される。また  $T_{rn3}$  と  $T_{rn4}$  もオンしているため、前回に  $C_{p2}$  に充電されていた電荷が  $C_b$  へ移る。次に  $T_2$  の期間では、 $T_{rp1}$ 、

Trp2、Trn3、Trn4はオフしており、Trp3とTrp4はオンしている。これによりCp2が電圧Vxで充電される。またTrn1とTrn2もオンしているため、前回にCp1に充電されていた電荷がCbへ移る。このように2つのチャージ・ポンプコンデンサCp1、Cp2で交互にCbに電荷を供給してやることで、より出力電圧の平滑度が良く出力能力の大きいチャージ・ポンプ回路を実現できる。

なお図24のHに示す部分は、Trp2、Trp4、Trn2、Trn4のトランジスタのゲートを駆動するのに必要な電圧と位相を持った信号を、信号A、/Bから形成するためのレベルシフト手段である。Cs1とCs2は容量が470pF程度のカップリング・コンデンサ、D1とD2はダイオード、Inv3～6はインバータ、Rf1とRf2は1KΩ程度の抵抗である。Inv3とInv4とRf1とで1つのホールド回路を形成しており、Inv5とInv6とRf2とで別のホールド回路を形成している。図24のような接続にし、Inv3～6の正側電源端子をGNDに接続すれば、Inv3～6の負側電源端子にはGNDよりもVxだけ低い電圧が発生するので、信号Aや信号/Bと同振幅で同相/逆相の信号が、Inv3～6の出力から得られる。Inv3～6の電源端子間には0.1μF程度の平滑コンデンサCxを入れておくことが好ましい。このレベルシフト手段は、図20A、図20Bで説明したレベルシフト手段よりも、信号の振幅低下が小さいという利点がある。

さて本実施例では、出力能力を向上させるために、ポンピング・コンデンサを複数用意しているが、この手法は、表示品質の向上にも効果がある。例えばラッチパルスLPを用いる手法によると、図25Aに示すように、ポンプ・コンデンサCpの充電（チャージ動作）と、Cpによるバック・アップコンデンサCbの充電（ポンプ動作）が、2水平走査期間（2H）毎に繰り返されることになる。このような構成のチャージ・ポンプ回路を、例えば図1の負方向2倍昇圧回路5に用いると、8ライン周期の横縞の表示ムラ（濃い4ライン+淡い4ライン）が生じる可能性がある。負方向2倍昇圧回路5は、-V2、-V3の両方で消費される電流を供給しており、また-V2、-V3は、VH、VLに比べて消費される電流が大きいからである。そこで、負方向2倍昇圧回路5を、図24に示すよ



うな複数のポンピング・コンデンサを有する構成とすれば、上記のような表示ムラの発生を有効に防止できる。その理由は、このようにすれば、図25Bに示すように、1水平期間毎にCp1又はCp2の充電、及び、Cp2によるCbの充電又はCp1によるCbの充電が行われるからである。

なお上記のような表示ムラの発生を防止するためには、少なくとも、ポンピング・コンデンサの充電及びポンピング・コンデンサによるバックアップ・コンデンサの充電を1水平期間毎に行えばよい。従って、例えばラッチパルスLPの2倍の周波数の信号を用いて、図25Cに示すようにチャージ・ポンプ動作を行えば、上記表示ムラを防止できることになる。

#### 〔実施例5〕

実施例5は、チャージ・ポンプ回路の昇圧倍率、降圧倍率の変更に関する実施例である。図10、図12で説明した負方向6倍昇圧回路では、昇圧倍率は6倍に固定されていた。昇圧倍率を6倍にした理由は、デューティが1/240の液晶表示装置において、Vccが3Vまで低下した時に、VEEが負方向5倍昇圧電圧（つまりVEE=-12V）では不足であり、-13.5V程度を必要とするためである。同じ液晶表示装置において必要となるVEEは、Vccが3.3Vの時は約-12V、Vccが3.6Vの時は約-10.5Vである。Vccの電圧によって必要となるVEEが異なる理由は次の通りである。即ち、本実施例では、X電極を駆動する電圧としてVccやその1/2降圧電圧をそのまま用いている。従って、Vccが高くなると非選択期間に液晶に加わる実効電圧が高くなり、その分、選択電圧を小さくする必要がある。逆にVccが低くなると、非選択期間に液晶に加わる実効電圧も低くなり、その分、選択電圧を大きくする必要があるからである。以上の理由から、図1の負方向6倍昇圧回路2の昇圧倍率は、Vccが3.3Vより高い時は6倍ではなく5倍で充分であり、むしろ、Vccが高い時は5倍に自動的に切り変わるようにした方が消費電力が小さくなり好ましい。また、1/200デューティの液晶表示装置においてはVccが3Vまで低下した時でも負方向5倍昇圧で充分である。このため、外部端子により、5倍から6倍への切り替え、6倍から5倍への切り替えができるようにしておく

ことが好ましい。

昇圧倍率、降圧倍率の変更は次のようにして実現できる。例えば前述の図10に示す回路で、昇圧倍率を変更可能にするには、図26のような構成にすればよい。即ち倍率変更回路20を設け、6倍昇圧の場合にはSWa2の接点Aを $-V_{3B}$ に接続し、5倍昇圧の場合にはSWa2の接点AをGNDに接続すればよい。あるいは倍率変更回路22を設け、6倍昇圧の場合にはSWb2の接点Bを $-V_{3B}$ に接続し、5倍昇圧の場合にはSWb2の接点BをGNDに接続してもよい。一方、前述の図12に示す回路で、昇圧倍率を変更可能にするには、図27のような構成にすればよい。即ち、倍率変更回路24を設け、負方向6倍昇圧の場合にはSWa2の接点Aを $-V_{3B}$ に接続し、負方向5倍昇圧の場合にはSWa2の接点AをGNDに接続すればよい。

また $3/2$ 倍昇圧を $2/3$ 倍降圧に変更するには次のようにすればよい。即ち図14A、図14Bに示す $3/2$ 倍昇圧回路では、Cbの+端子に出力端子が、-端子にVccが接続されているが、これを図16A、図16Bに示すように、Cbの+端子をVccに、-端子を出力端子に接続するような切り替え手段を設ければよい。

このように本実施例によれば、K倍( $K \geq 2$ )昇圧又は $L/M$ 倍(但し $L/M$ は整数でない)降圧又は $M/L$ 倍昇圧のチャージ・ポンプ動作を行うチャージ・ポンプ回路と、このチャージ・ポンプ回路の昇圧倍率又は降圧倍率を変更する手段とが設けられる。これにより、例えば図1のコントラスト調整回路3等により無駄に消費される電流を低減でき、更なる低消費電力化が図れる。

なお図10、図12に示す負方向6倍昇圧回路では、 $-V_{3B}$ を形成しており、この $-V_{3B}$ は、Vccを基準にGNDを負方向に2倍に昇圧した電圧に相当する。一方、図1の負方向2倍昇圧回路5の出力電圧 $-V_3$ も、Vccを基準にGNDを負方向に2倍に昇圧した電圧に相当する。従って、例えば図10、図12においてSWb1、SWa1、Cp1、Cp2から成る回路を設けずに、負方向2倍昇圧回路5の出力電圧 $-V_3$ を図10、図12の $-V_{3B}$ として共用することも可能である。あるいは逆に、負方向2倍昇圧回路5を設けずに、負方向6倍昇圧回路2の $-V_{3B}$ を $-V_3$ として共用することも可能である。但し、共用す

る場合には負荷電流による出力電圧の低下が大きくなるため、パネルサイズに応じて共用するか否かを使い分けることが好ましい。

#### 〔実施例 6〕

実施例 6 は、入力電源電圧の投入後の所与の期間、チャージ・ポンプ回路による高電圧の供給を停止させる手段を設けた実施例である。

チャージ・ポンプ回路を用いて高電圧（図 1 の第 1 電位  $V_H$ 、第  $N$  電位  $V_L$ ）を発生する場合、入力電源電圧の投入後の所与の期間、高電圧の発生を停止しておかないと、システムが正常に立ち上がらない場合がある。その理由の 1 つは、高電圧が発生する前に、ドライバ IC（データ線ドライバ、走査線ドライバ）のロジック部分が正常に動作していないと、ドライバ IC 内部の出力回路等がショート状態になる場合があるからである。このような事態を防止するには、例えば図 1 の負方向 6 倍昇圧回路 2 内に、図 28A に示すように供給停止回路 26 を設ける。そして入力電源電圧の投入後の所与の期間、 $-V_{3Bin}$  と  $-V_{3Bout}$  の間を遮断すればよい。図 28B に、この供給停止回路 26 の具体的構成の一例を示す。 $V_{cc}$  が投入された後、 $C \times R$  の時定数で決まる所与の期間、 $T_r$  がオフし、 $-V_{3Bin}$  と  $-V_{3Bout}$  の間が遮断される。更に、入力電源電圧をそのまま電源回路の出力電圧として使用する経路、即ち図 1 の  $V_{cc}$ 、 $V_3$  間の経路及び GND、 $V_C$  間の経路には、過電流防止用として  $10\Omega$  程度の抵抗を挿入することが望ましい。

なお図 1 の構成では、負方向 6 倍昇圧回路 2 内に設けた供給停止回路 26 により  $V_L$ （第  $N$  電位）の供給を停止すると、 $V_H$ （第 1 電位）の供給も停止される。従って、2 倍昇圧回路 4 内に供給停止回路を設ける必要がなくなる。一方、例えば GND を基準に  $V_{cc}$  を 6 倍昇圧する回路を用いて  $V_H$  を供給する場合には、この 6 倍昇圧回路内に供給停止回路を設ければよい。

#### 〔実施例 7〕

図 29 に実施例 7 の電源回路のブロック図を示す。この電源回路は、図 1 に示す実施例 1 の電源回路の出力電圧を  $V_{cc} - GND$  だけ全体的に高電位側へずら

せた電圧を発生する機能を持つ。図1の実施例1では、第1～第N電位は、低電位側の第2入力電位GNDに対して対称に形成されていたが、図29では、高電位側の第1入力電位Vccに対して対称に形成されている。

説明を簡単にするため、実施例1と異なる部分のみ主に説明する。負方向5倍昇圧回路32は、Vccを基準にGNDを負方向へ5倍昇圧した電圧VEEをチャージ・ポンプ動作により発生する。Vccが3.3Vの時、VEEは-13.2Vになる。2倍昇圧回路34は、VLを基準にVccを2倍昇圧した電圧VHを発生する。2倍昇圧回路35は、GNDを基準にVccを2倍昇圧した電圧V3を発生する。1/2倍降圧回路36、37は、V3-Vcc間を2等分した電圧であるV2、Vcc-GND間を2等分した電圧である-V2を発生する。以上で液晶パネルを駆動する電圧は形成できた。なお中央電位のVCにはVccをそのまま用い、-V3にはGNDをそのまま用いる。この電源回路は、出力される電圧のレベルが高電位側の入力電源電圧Vccに対して対称という特徴を備えている。こうした構成の電源回路によれば、実施例1で述べた理由と同じ理由により、4ライン同時選択法で駆動される液晶表示装置の低消費電力化が可能となる。

このように、液晶駆動に必要な出力電圧が中心電位を持ち、大部分の消費電流がその中心電位と他の電圧との間で流れる場合に、中心電位を第1、第2入力電位に一致させ、出力電圧をチャージ・ポンプ回路を主体とした回路で形成するという構成を用いることで、液晶表示装置の低消費電力化を図れる。こうした構成によれば、高電圧VH、VLでの消費電流が小さくなるため、これらの高電圧VH、VLを、出力能力の低いチャージ・ポンプ回路で容易に形成できる。そして、これらの高電圧を電力損失の小さいチャージ・ポンプ回路で形成することで、液晶表示装置の更なる低消費電力化を図れる。

なお、実施例7において、負方向5倍昇圧回路を正方向の昇圧回路に変更し、コントラスト調整回路でVHを形成した後にVHを負方向に2倍昇圧してVLを形成することも可能である。

#### 〔実施例8〕

図30に実施例8の電源回路のブロック図を示す。この電源回路は、実施例1の電源回路の出力電圧を  $1/2 \times (V_{cc} - GND)$  だけ全体的に高電位側へずらせた電圧を発生する機能を持つ。実施例8では、第1～第N電位は、第1入力電位  $V_{cc}$  と第2入力電位  $GND$  の中点電位を基準に対称に形成される。

$1/2$  降圧回路46は、 $V_{cc} - GND$ 間を2等分した電圧  $V_C$  をチャージ・ポンプ動作により発生する回路であり、この  $V_C$  が、第1～第N電位の中心電位となる。負方向5倍昇圧回路42は、 $V_{cc}$  を基準に  $GND$  を負方向へ5倍昇圧した電圧  $V_{EE}$  を発生する。2倍昇圧回路44は、 $V_L$  を基準に  $V_C$  を2倍昇圧した電圧  $V_H$  を発生する。負方向2倍昇圧回路45は、 $V_C$  を基準に  $GND$  を負方向へ2倍昇圧した電圧の  $-V_3$  を発生する。2倍昇圧回路49は、 $V_C$  を基準に  $V_{cc}$  を正方向へ2倍昇圧した電圧  $V_3$  を発生する。以上で液晶パネルを駆動する電圧は形成できた。なお  $V_2$  には  $V_{cc}$  をそのまま用い、 $-V_2$  には  $GND$  をそのまま用いる。この電源回路は、出力電圧が、第1入力電位と第2入力電位の中点電位  $V_C$  に対して対称という特徴を備えている。実施例8によれば、実施例1で述べた理由と同じ理由により、4ライン同時選択法で駆動される液晶表示装置の低消費電力化が可能となる。

なお、所望の電圧が5レベルの場合には、図30において2倍昇圧回路49と負方向2倍昇圧回路45を省略する構成としても良い。

#### 〔実施例9〕

図31に実施例9の電源回路のブロック図を示す。実施例9では、電源回路の出力電圧が、第1、第2入力電位  $V_{cc}$ 、 $GND$  の中点電位に対して対称に形成される。また実施例9の電源回路は、2端子型非線形スイッチング素子を用いた液晶パネルを駆動する回路である。図51で説明した電源回路が、Yドライバに加える電源電圧を揺さぶる方式であるのに対し、実施例9の電源回路は揺さぶらない定常電圧を出力する。図32に、この電源回路を用いた時のパネル駆動波形の例を示す。

まず図32について先に説明する。 $V_{SH}$ は正側の選択電圧であり、 $V_{SL}$ は負側の選択電圧である。 $V_{NH}$ は  $V_{SH}$  を選択した後の非選択電圧であり、 $V_N$

Lは $V_{SL}$ を選択した後の非選択電圧である。各電圧には $V_{SH} - V_{NH} = V_{NL} - V_{SL}$ なる関係、言い替えると $V_{NH}$ と $V_{NL}$ との中点電位が $V_{SH}$ と $V_{SL}$ との中点電位に等しいという関係がある。横軸 $t$ は時間軸であり、1目盛りが1選択期間の長さ $t_1$ に相当する。列電極駆動波形は、階調手段がパルス幅階調である場合の例である。図32のように、列電極を駆動する電圧を行電極の非選択電圧と一致させることにより、電源回路の構成が著しく容易となる。

次に図31の回路について説明する。非選択電圧であり同時に列電極駆動電圧でもある $V_{NH}$ と $V_{NL}$ には、ロジック駆動用電圧の $V_{cc}$ と $GND$ をそのまま用いる。負方向5倍昇圧回路52は、 $V_{cc}$ を基準に $GND$ を負方向へ5倍昇圧した電圧 $V_{EE}$ を発生する。 $V_{cc}$ が5Vの時には $V_{EE}$ は $-20V$ になる。昇圧回路60は、 $V_{NH}$ を基準として $V_{NL} - V_{SL}$ と同じ電圧差を昇圧して、 $V_{SH}$ を発生する。以上で液晶パネルを駆動する電圧は形成できた。この構成の電源回路は、出力電圧が、第1、第入力電位の中点電位に対して対称という特徴を備えている。

上記構成の電源回路により2端子型非線形スイッチング素子を用いた液晶パネルを駆動すると、電源回路やYドライバの動作電圧が揺さぶり電源方式の場合に比べ2倍近くまで高くなるが、それにもかかわらず液晶表示装置の消費電力を低減できる。その理由の一つは、Yドライバに加わっている電圧が静的であるため、揺さぶり電源方式で起こった問題点が生じないためである。即ち、Yドライバの全寄生容量が揺さぶられる電圧幅で充放電するという問題点、及び、揺さぶられるタイミングにおいてYドライバ内でショート的に電流が流れるという問題点が、本実施例では生じない。高電圧が2倍近い電圧になっても、1選択期間におけるYドライバの高電圧系の充放電電流やショート的な電流は、数百本ある出力の内の1本だけで起こるため、高電圧化による電流増はごくわずかである。もう一つの理由は、電源回路自体の消費電力が極めて小さいためである。これは、出力電圧を、効率の高いチャージ・ポンプ式の昇圧回路で生成していることによる。本実施例によれば、揺さぶり電源方式の約半分の消費電力で、2端子型非線形スイッチング素子を用いた液晶パネルを駆動することが可能となった。

なお本実施例では、負方向5倍昇圧回路52を用いるとして説明してきた。し

かしながら、低電圧液晶を使用する場合は、負方向5倍昇圧回路52を負方向4倍昇圧回路とすればよい。また $V_{cc}$ を3.3Vに下げると共に、必要に応じて負方向5倍昇圧回路52を負方向6倍昇圧回路としてもよい。また本実施例では、階調表示手段がパルス幅変調法によるとして説明したが、フレーム間引き法を用いても構わない。

また、所望の電圧が5レベルの場合には、図31において $V_{CC}-GND$ の間へ1/2倍降圧回路を追加して中央電位を発生してもよい。

#### 〔実施例10〕

図33に実施例10の電源回路のブロック図を示す。実施例10では、実施例9と異なり、第1、第2入力電位 $V_{cc}$ 、 $GND$ と異なる電位である $V_{NL}$ を発生する。そして電源回路の出力電圧が、この $V_{NL}$ と、 $V_{cc}$ 又は $GND$ との中点電位に対して対称に形成される。

実施例10では、非選択電圧であり列電極駆動電圧でもある $V_{NH}$ には、ロジック駆動用電圧の $V_{cc}$ をそのまま用いる。負方向3/2倍昇圧回路61は、 $V_{cc}$ を基準に $GND$ を負方向へ3/2倍昇圧した電圧 $V_{NL}$ を発生する。負方向3/2倍昇圧回路61の構成例は、既に図15A、図15Bにて説明した通りである。負方向5倍昇圧回路62は、 $V_{cc}$ を基準に $V_{NL}$ を負方向へ5倍昇圧した電圧 $V_{EE}$ を発生する。 $V_{cc}$ が3.3Vの場合は、 $V_{cc}-V_{NL}$ が4.95V、 $V_{NL}-V_{EE}$ が19.8Vとなり、実施例9において $V_{cc}$ が5Vの場合とほぼ等しい出力電圧が得られる。昇圧回路70は、 $V_{NH}$ を基準として $V_{NL}-V_{SL}$ と同じ電圧差を正方向に昇圧して、 $V_{SH}$ を発生する。以上で液晶パネルを駆動する電圧は形成できた。この電源回路は、第1、第2入力電位と異なる電位 $V_{NL}$ をチャージ・ポンプ回路で発生し、出力電圧が、 $V_{cc}$ と $V_{NL}$ の中点電位に対して対称という特徴を備えている。以上の構成の実施例10によれば、ロジック電圧を低電圧にできるため、2端子型非線形スイッチング素子を用いた液晶パネルを、実施例9よりも更に低消費電力で駆動できる。

#### 〔実施例11〕

図34に実施例11の電源回路のブロック図を示す。図1に示す実施例1と異なるのは、実施例11では、入力電源電圧が第3入力電位 $V_{ee}$ を含む点である。即ち、実施例1では単一電源構成( $V_{cc}$ 、 $GND$ )であったのに対して、実施例11では2電源構成( $V_{ee}$ 、 $V_{cc}$ 、 $GND$ )となっている。

負方向2倍昇圧回路72は、第3入力電位 $V_{ee}$ を基準に $GND$ を負方向に2倍昇圧した電圧 $V_L$ をチャージ・ポンプ動作により発生する。負方向2倍昇圧回路73は、第1入力電位 $V_{cc}$ を基準に $GND$ を負方向に2倍昇圧した電圧 $-V_3$ を発生する。1/2降圧回路74、75は、 $V_{cc}-GND$ 間を2等分した電圧 $V_2$ 、 $GND-(-V_3)$ 間を2等分した電圧 $-V_2$ を発生する。また $V_3$ には $V_{cc}$ をそのまま用い、 $V_C$ には $GND$ をそのまま用いる。以上の構成の電源回路により例えば4ライン同時選択法で必要な電圧を形成できる。なおチャージ・ポンプ方式の1/2降圧回路の構成については、既に図9にて説明した通りである。

図35に、1/2降圧回路74、75の代わりに、1/3降圧回路76、77を設けた場合のブロック図を示す。1/3降圧回路76、77は、各々、 $V_{cc}-GND$ 間を1/3ずつ分割した電圧 $V_1$ 、 $V_2$ 、 $GND-(-V_3)$ 間を1/3ずつ分割した電圧 $-V_1$ 、 $-V_2$ を発生する。この電源回路により、例えば6ライン同時選択法で必要な電圧を形成できる。

なお本実施例では、理解しやすいように $GND$ に対して $V_{ee}$ と $V_{cc}$ がともに正電位の場合を述べてきたが、 $V_{ee}$ と $V_{cc}$ がともに正電位である必要はなく、図36に示すように、 $V_{ee}$ と $V_{cc}$ の一方あるいは両方が $GND$ に対して負電位であってもよい。

以上に説明した本実施例は、次のような構成上の特徴を有している。

即ち本実施例では、入力電源電圧に含まれる高電位側の第1入力電位 $V_{cc}$ 、低電位側の第2入力電位 $GND$ を、第1～第 $N$ 電位( $N \geq 4$ )の中の第 $G$ 電位 $V_3$ 、第 $J$ 電位 $V_C$ としてそのまま用いている。また第1、第2入力電位よりも高電位側又は低電位側の第3入力電位 $V_{ee}$ を、高電位側の第1電位 $V_H$ と低電位側の第 $N$ 電位 $V_L$ のいずれかとして用いている。また所与のクロックに基づきチャージ・ポンプ動作を行い、第1、第 $N$ 電位 $V_H$ 、 $V_L$ のいずれかを直接に又は



調整手段を介して供給するチャージ・ポンプ回路（負方向2倍昇圧回路72）と、第G、第J電位よりも高電位側又は低電位側の第F電位（ $1 < F < N$ ）を直接に又は調整手段を介して供給するチャージ・ポンプ回路（負方向2倍昇圧回路73）とを含んでいる。そして更に、第1～第N電位の中の前記第1、第F、第G、第J、第N電位以外の電位を、所与のクロックに基づきチャージ・ポンプ動作するチャージ・ポンプ回路（1/2降圧回路74、75、1/3降圧回路76、77）により供給している。以上の構成によれば、出力能力をそれほど必要としない第1電位 $V_H$ 又は第N電位 $V_L$ は、出力能力は低いが高効率のチャージ・ポンプ回路で供給されると共に、第G電位 $V_3$ 、第J電位 $V_C$ は出力能力の高い入力電源電圧 $V_{cc}$ 、GNDに接続される。更に $V_2$ 、 $-V_2$ 等の電圧はチャージ・ポンプ回路で供給される。これにより表示品質の維持と低消費電力化とを両立できる。なお本実施例の構成は、実施例1の（3）で説明した構成上の特徴、即ちK倍昇圧、及びL/M倍降圧等のチャージ・ポンプ回路が混在するという構成上の特徴も有している。

次に本実施例の消費電力について説明する。電源回路より後段にある負荷回路の $V_3-V_C$ 系の消費電流を $I_c$ 、 $-V_3-V_C$ 系の消費電流を $I_d$ とすれば、本実施例によれば、 $I_c$ による消費電力は $I_c \times V_{cc}$ となる。また、負方向2倍昇圧回路73を効率の良い昇圧回路とすることで、 $I_d$ による消費電力はほぼ $I_d \times V_{cc}$ となる。これに対し、図49の電源回路では、 $I_c$ による消費電力は $I_c \times V_{EE}$ であり、 $I_d$ による消費電力は $I_d \times V_{EE}$ となる。仮に $V_{cc} = 5V$ 、 $V_{EE} = 20V$ とすると、図49の電源回路の消費電力は $(I_c + I_d) \times 20V$ となり、本実施例の消費電力は $(I_c + I_d) \times 5V$ となる。従って、消費電力を約1/4に低減できることになる。

また以上は中間電圧にのみ注目して述べてきたが、 $V_H$ や $V_L$ での消費電力についても同様のことが言える。すなわち電源回路より後段にある負荷回路の $V_H-V_C$ 系の消費電流を $I_a$ 、 $V_L-V_C$ 系の消費電流を $I_b$ とすれば、 $I_a$ と $I_b$ による消費電力は図49の電源回路では $(I_a + I_b) \times 20V$ となる。これに対して、本実施例では、負方向2倍昇圧回路72を効率の良い昇圧回路とすることにより、消費電力はほぼ $(I_a + I_b) \times 10V$ となり、約半減できる。以

上の説明からわかるように、本実施例は、負荷回路が中心電圧を必要とし、大部分の消費電流がその中心電圧と他の電圧との間で流れる場合に、大幅な低消費電力化が可能となる。

なお実施例 1 1 では、実施例 1 と同様に、パルス状のクロックである LP によりクロックを生成してチャージ・ポンプ動作を行うことができる。また実施例 1 1 でも、実施例 2 で説明したような種々の構成のチャージ・ポンプ回路を採用できる。また実施例 3 ～実施例 6 で説明したような種々の手法を採用して低消費電力化を図ることもできる。更に図 3 4、図 3 5 では、出力電圧は、GND に対して対称となっているが、Vcc に対して対称、Vcc と GND の中点電圧に対して対称、所与の発生電圧と Vcc 又は GND との中点電圧に対して対称に出力電圧を形成することも可能である。また図 3 4 では、7 レベルの電圧を得るために 1/2 降圧回路 7 4、7 5 を設けたが、所望の電圧が 5 レベルの場合には、1/2 降圧回路 7 4、7 5 を省略すればよい。更に 1/2 降圧、1/3 降圧等をオペアンプを用いて行う場合には、図 2 に示すような構成とすればよい。

#### 〔実施例 1 2〕

実施例 1 2 は、入力電源電圧の供給停止、所与のクロックの供給停止あるいは表示オフ制御信号の入力の少なくとも 1 つがなされた場合に、第 1、第 N 電位の少なくとも一方により電圧が供給される回路部分の残留電荷を放電させる実施例である。

図 3 7 に、入力電源電圧の供給停止あるいはクロックの供給停止が行われた場合に、VH、VL 系の残留電荷を放電させる回路例を示す。図 3 7 において信号 /A と A は互いに逆相のクロック信号である。また Trp 8 と Trp 9 は PMOS トランジスタであり、クロックが供給されている間は、トランジスタの一方がオンし他方がオフするという動作を繰り返している。Trp 8 がオンすると、コンデン Cc 1 が電圧 Vcc で充電され、Trp 9 がオンすると Cc 1 の電荷が Cc 2 に移る。Cc 2 と抵抗 Rc による時定数をクロック信号の周期よりも十分に大きく設定すれば、バッファ Buf の入力は、電圧 Vcc にほぼ近いレベルとなる。クロックが停止すればどちらか一方のトランジスタが必ずオフとなるため、Buf の入力は、Rc により GND レベルとなり、Buf の出力も GND レベル

となる。電圧  $V_{cc}$  の供給が停止した場合にも  $B_{uf}$  の入力及び出力は  $GND$  レベルとなる。

$Trn5$ 、 $Trn6$  は  $NMOS$  トランジスタ、 $Trp5$ 、 $Trp6$ 、 $Trp7$  は  $PMOS$  トランジスタである。 $Ra1$ 、 $Ra2$ 、 $Rb1$  は数  $M\Omega$  程度の抵抗であり、各々、 $Trn5$  や  $Trp5$  のオン時の抵抗よりも大きな抵抗値に設定されている。従って、これらのトランジスタがオンしている時でもこれらの抵抗を通して流れる消費電流は小さい。電圧  $V_{cc}$  が供給され、クロックが供給されている時は  $B_{uf}$  の出力が  $V_{cc}$  レベルであるため  $Trn5$  がオンする。 $Trn5$  がオンすると、 $Trp7$  のゲートはロウ側となって  $Trp7$  がオンし、 $VH$  には電圧  $V_{ee}$  が供給される。また  $Trn6$  のゲートが  $GND$  レベルになって  $Trn6$  はオフする。電圧  $-V3$  は、電圧  $V_{cc}$  の反転出力であり（図1、図34参照）、電圧  $V_{cc}$  が供給されてクロックが動作している時はほぼ  $-V_{cc}$  のレベルとなっている。これにより、 $Trp5$  がオンし  $Trp6$  はオフする。

電圧  $V_{cc}$  の供給が停止するかクロックの供給が停止すると、 $B_{uf}$  の出力及び電圧  $-V3$  は  $GND$  レベルとなり、 $Trn5$  も  $Trp5$  もオフする。 $Trn5$  がオフすると、 $Trp7$  のゲートは  $V_{ee}$  レベルとなり、 $Trp7$  がオフし、 $V_{ee}$  から  $VH$  への供給が遮断される。また  $Trn6$  のゲートも  $V_{ee}$  レベルとなってオンし、 $VH$  系に残存していた電荷が  $10K\Omega$  程度の抵抗  $Ra3$  を通して  $GND$  に放電される。また  $Trp5$  がオフすると、 $Trp6$  のゲートがロウ側となって  $Trp6$  がオンし、 $VL$  系に残存していた電荷が  $10K\Omega$  程度の抵抗  $Rb2$  を通して  $GND$  に放電される。

以上のように、本実施例によれば、電圧  $V_{cc}$  またはクロックの供給が停止した場合に、電圧  $V_{ee}$  の供給を遮断するとともに、電圧  $VH$ 、 $VL$  により電圧が供給される回路部分の残留電荷を放電させることを、消費電力をほとんど増加させることなく実現できる。これにより、上記回路部分に、直流の高電圧が印加され続けるという異常事態を防止できる。

図38に、表示オン／オフ信号により  $VH$ 、 $VL$  系の電荷を放出させる回路例を示す。図37との主な相違は、 $Trn5$  のゲートに信号  $Don$  を入力している点である。信号  $Don$  は液晶表示装置の表示オン／オフを制御する信号で、表示

オン時はハイレベル ( $V_{cc}$ )、表示オフ時はロウレベル ( $GND$ ) となる信号である。 $Don$ がハイレベルの時は  $Trn5$  がオンし、これにより  $Trp7$  のゲートがロウ側となり  $Trp7$  がオンする。これにより、 $VH$  に電圧  $V_{ee}$  が供給される。

一方、 $Don$ がロウレベルの時は  $Trn5$  がオフし、これにより  $Trp7$  のゲートが  $V_{ee}$  と同レベルとなり  $Trp7$  がオフする。これにより、 $VH$  への電圧  $V_{ee}$  の供給が遮断される。同時に  $Trn6$  のゲートも  $V_{ee}$  と同レベルとなり  $Trn6$  がオンする。これにより  $VH$  系に残留している電荷が放電する。

以上のように表示オン/オフ制御信号を本実施例の電源回路に入力することにより、消費電流を増加させることなく液晶表示装置の表示オン/オフを容易に制御できる。なお、上記のように直接  $Trn5$  のゲートに信号  $Don$  を入力する方法ではなく、 $Don$ がロウの時にクロックを停止する回路を追加する方法によって、 $VH$  系の残留電荷を放電させ、液晶表示装置を表示オフ状態にしてもよい。また図4に示すように  $DF$  のリセット端子を制御してクロックを停止し、チャージ・ポンプ回路の動作を停止させることで液晶表示装置を表示オフ状態にしてもよい。

図39A、図39Bに、入力電源がオフした場合に、 $VH$ 、 $VL$  系の電荷を放電させる回路例を示す。例えば図39Aにおいて入力電源がオフし  $V_{cc} = GND$  となると、 $Trn10$  がオフし  $Trn11$  のゲートがハイ側になる。これにより  $Trn11$  がオンし、 $VH$  系の電荷が  $GND$  に放電される。また図39Bでは、 $V_{cc} = GND$  になると、 $Trp10$  がオフし  $Trp11$  のゲートがロウ側となる。これにより  $Trp11$  がオンし、 $VL$  系の電荷が  $V_{cc}$  に放電される。

図40A、図40Bに、入力電源がオフした場合及び表示オフ信号が入力された場合に、 $VH$ 、 $VL$  系の電荷を放電させる回路例を示す。 $Doff$  は表示オフの時にハイレベル ( $=V_{cc}$ ) になる信号である。 $Doff$  がハイレベルになるとその反転信号である  $\neg Doff$  はローレベル ( $=GND$ ) となり、これにより  $Trn10$  がオフし  $Trn11$  のゲートがハイ側になる。これにより  $Trn11$  がオンし、 $VH$  系の電荷が  $GND$  に放電される。また図40Bでは、 $Doff$  がハイレベルになると、 $Trp10$  がオフし  $Trp11$  のゲートがロウ側となる。

これにより  $Trp11$  がオンし、 $V_L$  系の電荷が  $V_{cc}$  に放電される。

### 〔実施例 13〕

図 41 に、実施例 1 ～ 実施例 12 で説明した電源回路を含む液晶表示装置の構成例を示す。この液晶表示装置は、複数のデータ線電極と複数の走査線電極により駆動される液晶層を含む液晶パネル 88 と、電源回路 91 と、電源回路 91 により供給される電圧に基づいてデータ線電極を駆動する X ドライバ IC (データ線ドライバ) 90 と、電源回路により供給される電圧に基づいて走査線電極を駆動する Y ドライバ IC (走査線ドライバ) 89 とを含む。

$V_{CC}-GND$  はドライバ IC のロジック部駆動用電源入力であり、 $V_{EE}-GND$  は選択電圧を形成するための高電圧電源入力である。電源回路が図 1 のような構成の場合には  $V_{EE}$  は必要ない。LP は X ドライバ IC 用のラッチパルスであり、通常は、シフト・レジスタを含む Y ドライバ IC 用のシフトクロックにも兼用される。その他のタイミング信号やデータ信号は図を見やすくするために記載を省略してある。

図 42 に、図 41 の回路で液晶パネルを駆動した時の駆動電圧波形の例を示す。この駆動波形は特公昭 57-57718 の請求項 1 に記載された駆動方法において、 $V_{111}=V_{122}$  と設定した場合に駆動波形に相当する。ここに、 $V_H$  と  $V_L$  は選択される走査線電極に加える電圧であり、 $V_C$  ( $V_M$ ) は非選択の走査線電極に加える電圧である。また、 $V_{x0}$  と  $V_{x1}$  は表示データのオン/オフに従って X 電極に加える電圧である。M は液晶を交流駆動するための制御信号で、信号 M のハイ/ロウにより液晶パネルに加える電圧の極性が反転される。 $t_{1H}$  は 1 本の走査線電極が選択される時間の長さを示している。

この駆動方法に必要な電圧は、実施例 1 ～ 実施例 12 で説明した電源回路により形成できる。例えば、非選択レベルの  $V_C$ 、選択レベルの  $V_H$  及び  $V_L$  には、電源回路 91 の出力  $V_C$ 、 $V_H$ 、 $V_L$  を用いる。また X 電極を駆動する電圧の  $V_{x0}$  には  $V_2$  を用い、 $V_{x1}$  には  $-V_2$  を用いればよい。例えばデューティが  $1/240$  の場合には  $V_H$  は通常 20 V 程度であり、 $V_2$  はロジック電圧 3.3 V の約  $1/2$  の 1.6 V 程度である。従って  $V_2$  には、ロジック電圧を  $1/2$  に降

圧した電圧を利用することもできる。

XドライバIC90のロジック電圧はVCC-GNDをそのまま用いればよい。YドライバIC89のロジック電圧としては、TFTパネル用のゲート線ドライバICのようにドライバ出力電圧の中間でよい場合は、VCC-GNDをそのまま用いればよい。しかしながら、例えばSTNパネル用の通常のドライバICのように、ロジック電圧の低レベルがVLに一致している場合には、YドライバIC89用のロジック電圧VDDを別に形成する必要がある。図43はこの場合に用いるYドライバ用ロジック電圧発生回路の例であって、図24のHに示す部分と基本的に同様の動作をする。すなわちBは、図5に示した信号であり、VCC-GNDを電源として駆動される信号である。またCs1とCs2は容量が470pF程度のカップリング・コンデンサ、D1とD2はダイオード、Buf1とBuf2はバッファ、Rf1とRf2は1KΩ程度の抵抗である。Buf1とRf1で1つのホールド回路を形成しており、Buf2とRf2で別のホールド回路を形成している。図37のような接続にして、バッファの負側電源端子をVLに接続すれば、バッファの正側電源端子にはVLよりもVCCだけ高い電圧VDDyが発生する。従って、このVDDyをYドライバIC89用のロジック用電源とすればよい。YドライバIC89の動作周波数はXドライバIC90の1/80程度であり、YドライバIC89のロジック部の消費電流は極めて小さい。従って、上記のような簡易な手法で形成した電源電圧で十分に駆動が可能である。また、図43の回路は、信号LPをレベルシフトしてYドライバ用シフトクロックYSSLを形成する機能も有している。なお、バッファの電源端子間には0.1μF程度の平滑コンデンサCxを入れておくことが好ましい。

以上はVCCが3.3Vとして説明した。しかしながら、VCCが5Vの場合は、オペアンプ等を用いてVCCをより低い電圧に変換し、電源回路91やYドライバIC89、XドライバIC90の駆動を行った方が、低消費電力化のためには好ましい。また、VCCが1.5V程度の場合にはこのVCCをそのままVx0として用い、VCCの反転昇圧電圧（負方向2倍昇圧電圧）をVx1として用いればよい。

以上の構成の液晶表示装置では、その電源回路自体が低消費電力である。更に、

パネル電流の大部分を占める充放電電流、即ちX電極と非選択状態のY電極との間で流れる充放電電流が、高電圧系から供給されるのではなく、より低いロジック部駆動電圧系から供給される。従って、パネル電流による消費電力も大幅に低減され、全体として消費電力を著しく小さくできる。

#### 〔実施例14〕

図44Aに液晶表示装置の他の構成例を示す。基本的には実施例13と同様の構成であるため、実施例13と異なる部分についてのみ説明する。本実施例はY電極を2ライン同時選択法で駆動する場合の例である。

この駆動方法の場合に液晶パネルに加えることが必要な電圧を図44Bに示す。Y電極の駆動には、実施例13と同様に、非選択レベルであるVC (VM) と選択レベルであるVHおよびVLが必要である。ここでVHとVLとはVCを中心として互いに対称な関係にある。X電極の駆動には、 $V_{x0} \sim V_{x2}$ の3レベルの電圧が必要である。 $V_{x1}$ はVCと同電位であり、 $V_{x0}$ と $V_{x2}$ とは $V_{x1}$ を中心として互いに対称な関係にある。例えば1フレーム周期内に走査するY電極の数が240本程度で、かつ、 $V_{th}$  (スレッシュホールド電圧) が実効値で2V程度の通常液晶を使用する場合は、VCを0VとするとVHは約16V、 $V_{x0}$ は約2Vとなる。つまり実施例13と異なる点は、X電極の駆動電圧として中心電位が追加される点と、VHが若干下がり $V_{x0}$ が若干上がる点だけである。本実施例の電源回路はこうした対称な関係にある電圧を低消費電力で発生するのに適している。

VCCが3.3Vの場合には、 $V_{th}$ が実効値で1.6V程度の低電圧液晶を使用すればよい。またVCCが1.5V程度の場合には、やはり低電圧液晶を使用し、このVCCをそのまま $V_{x0}$ として用いればよい。

本実施例の液晶表示装置は、電源回路自体が低消費電力であるとともに、実施例13で述べた理由と同じ理由でパネル電流による消費電力も大幅に低減される。また駆動に必要な最大電圧も実施例13より低くて済み、更なる低消費電力化を図れる。また図49の比較例では、Xドライバのロジック部等での消費電流を $I_{XD}$ とすると、これによる消費電力は $I_{XD} \times V_{EE}$ であった。これに対し

て本実施例では、消費電力は  $I \times D \times VCC$  で済み、比較例に比べ大幅な低消費電力化を図れる。

#### 〔実施例 15〕

図 4 5 A に液晶表示装置の他の構成例を示す。本実施例は Y 電極を 4 ライン同時選択法で駆動する場合の例である。

この駆動方法の場合に液晶パネルに加えることが必要な電圧を図 4 5 B に示す。Y 電極の駆動には非選択レベルである  $V_C$  と選択レベルである  $V_H$  および  $V_L$  が必要で、 $V_H$  と  $V_L$  とは  $V_C$  を中心として互いに対称な関係にある。X 電極の駆動には、 $V_{x0} \sim V_{x4}$  の 5 レベルの電圧が必要で、 $V_{x2}$  は  $V_C$  と同電位である。 $V_{x0}$  と  $V_{x4}$  および  $V_{x1}$  と  $V_{x3}$  は  $V_{x2}$  を中心として互いに対称な関係にあり、 $V_{x0} - V_{x1} = V_{x1} - V_{x2} = V_{x2} - V_{x3} = V_{x3} - V_{x4}$  を満足する。例えば 1 フレーム周期内に走査する Y 電極の数が 240 本程度で、かつ、 $V_{th}$  が実効値で 2 V 程度の通常液晶を使用する場合は、 $V_C$  の電圧を 0 V とすると  $V_H$  は約 11.3 V、 $V_{x0}$  は約 2.9 V となる。つまり実施例 14 と異なる点は、X 電極の駆動電圧として中心電位に対して互いに対称な 2 レベルの電圧が追加される点と、 $V_H$  が若干下がり  $V_{x0}$  が若干上がる点だけである。

特に、 $VCC$  が 3.3 V の場合は  $VCC$  と  $V_{x0}$  が比較的近いレベルであるため、図 4 5 A に示すように  $VCC$  をそのまま  $V_{x0}$  としても用いることが可能である。この場合は  $V_{th}$  がやや高い液晶を使うか、 $V_{EE}$  をやや低く設定するかすれば、コントラスト調整も容易にできる。

#### 〔実施例 16〕

図 4 6 A に液晶表示装置の他の構成例を示す。本実施例は Y 電極を 6 ライン同時選択法で駆動する場合の例である。

この駆動方法の場合に液晶パネルに加えることが必要な電圧を図 4 6 B に示す。Y 電極の駆動には、非選択レベルである  $V_C$  と選択レベルである  $V_H$  および  $V_L$  が必要で、 $V_H$  と  $V_L$  とは  $V_C$  を中心として互いに対称な関係にある。X 電極の駆動には、 $V_{x0} \sim V_{x6}$  の 7 レベルの電圧が必要で、 $V_{x3}$  は  $V_C$  と同電位で



あり、かつ、 $V \times 0 \sim V \times 6$ は $V \times 0 - V \times 1 = V \times 1 - V \times 2 = V \times 2 - V \times 3 = V \times 3 - V \times 4 = V \times 4 - V \times 5 = V \times 5 - V \times 6$ を満足する。例えば1フレーム周期内に走査するY電極の数が240本程度で、かつ、 $V_{th}$ が実効値で2V程度の通常液晶を使用する場合は、VCの電圧を0VとするとVHは約9.2V、 $V \times 0$ は約3.6Vである。つまり、実施例15と異なる点はX電極の駆動電圧として中心電位に対して互いに対称な2レベルの電圧が追加される点と、VHが若干下がり $V \times 0$ が若干上がる点だけである。

特にVCCが3.3Vの場合は、VCCと $V \times 0$ が比較的近いレベルであるため、図46Aに示すようにVCCをそのまま $V \times 0$ としても用いることが可能である。この場合は $V_{th}$ がやや低い液晶を使うか、VEEをやや高く設定するかすれば、コントラスト調整も容易にできる。

以下に同時に選択するY電極の数がどの程度までが実用的かを述べる。例えば1フレーム周期内に走査するY電極の数が240本程度の場合は同時選択するライン数が15本～16本の時に、Y電極の駆動に必要な最大電圧幅と、X電極の駆動に必要な最大電圧幅とが等しくなる。 $V_{th}$ が実効値で2V程度の通常液晶を使用する場合には、この電圧は6V弱となる。つまり、同時選択ライン数が16本以下の範囲では同時に選択するY電極の数が多し駆動方法ほど必要となる最大電圧が低くて済み、その点では消費電力の低減に有利であることになる。但し、逆に、駆動に必要な電圧のレベル数が増加して電源回路が複雑化するとともに、XドライバICもコスト高になるので、同時選択するライン数は8本以下が実用的であると言えることができる。

以上述べた実施例13～実施例16では、例えば図46Aに示すように、第1、第2入力電位VCC、GNDを、V3、V2、V1、VC、-V1、-V2、-V3（第1～第N電位）のいずれかとして使用すると共に、ドライバICのロジック部の電源電圧としても使用している。電源回路91で使用する入力電源電圧（VEE、VCC、GND又はVCC、GND）の他に、ドライバICのロジック部を駆動するための別の電源電圧を用意する方が、液晶パネルを最適電圧で駆動する点では好ましい。しかしながら入力電源電圧の数が増えることは、液晶表示装置の使用者にとっては好ましくない。実施例13～実施例16で説明したよ

うに、VCC、GNDをV3、V2 $\sim$ -V2、-V3のいずれかとして使用する  
と共に、ドライバICのロジック部の電源電圧として使用しても、若干最適電圧  
からずれた電圧による駆動となるが、実用的には問題無い画質の表示が可能であ  
る。従って、実施例13 $\sim$ 実施例16のようにして、入力電源電圧の数の増加を  
抑える方が、より実用的となる。

なお、V3、V2 $\sim$ -V2、-V3の中にVCC、GNDに一致するものがない  
場合には、図33で説明したように、チャージ・ポンプ動作によりVCC、G  
NDと異なる電圧を発生し、この発生電圧をV3、V2 $\sim$ -V2、-V3のい  
ずれかとして用いればよい。

また図41等に応示するように、実施例13 $\sim$ 実施例16では、電源回路91に入  
力するパルス状クロックとして、Xドライバ用ラッチパルス信号LP又はYドラ  
イバ用シフトクロックYSC Lを使用している。電源回路91のクロックを形成  
する信号は、周期的なパルス状クロックであることが好ましい理由は、実施例2  
において既に述べた通りである。通常、Xドライバ用ラッチパルス信号は周期が  
30 $\mu$ s $\sim$ 100 $\mu$ s程度、パルス幅が100ns $\sim$ 300ns程度の周期的な  
パルス状クロック信号であるため、電源回路91のパルス状クロックとして問題  
無く利用できる。Yドライバ用シフトクロックがXドライバ用ラッチパルスとは  
別に入力される液晶表示装置もあるが、この場合のYドライバ用シフトクロック  
もXドライバ用ラッチパルスと同様の周期的なパルス状クロック信号であるため、  
こちらのクロックを用いても問題無い。液晶表示装置に入力されるタイミング信  
号の中では、これらの信号が最も適切である。液晶表示装置の消費電流の大部分  
が1水平走査期間の切りかわりごとに流れる電流であるため、その電流を供給す  
るチャージ・ポンプ回路を、1水平走査期間毎のパルス状クロックであるXドラ  
イバ用ラッチパルスやYドライバ用シフトクロックに同期して動作させることは、  
理にかなっている。これより周期が長いクロック信号では昇圧能力不足となる。  
一方、これより周期が短いパルス状クロック信号は、昇圧能力を確保する上では  
好ましいが、こうした信号は液晶表示装置には入力されていないため別途作り出  
すことが必要となり、これは回路の大規模化につながる。

## 〔実施例 17〕

図 47 に、本発明の液晶表示装置を電子機器に搭載した例を示す。 $\mu$ PU（マイクロマイクロ・プロセッサ・ユニット）112 は、電子機器全体を制御するものであり、LCD コントローラ 113 は、液晶表示装置 115 に必要なタイミング信号や表示データを送り出すものである。またメモリ（VRAM）114 は、表示データを格納するものであり、電池 116 は、電子機器の電源である。DC/DC コンバータ 117 は、電池 116 の電圧から液晶表示装置 115 に必要な高電圧を発生するものである。DC/DC コンバータ 117 は液晶表示装置に内蔵させてもよく、内蔵させる場合は本発明のようにチャージ・ポンプ方式の DC-DC コンバータを用いることが望ましい。このような電子機器に、本発明の液晶表示装置を用いることによって、電子機器の消費電力を大幅に低減できる。

なお、本発明は上記実施例 1～実施例 17 に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。

例えばパルス状クロックを使用する手法、昇圧倍率を変更する手法、チャージ・ポンプを 1 水平期間毎に行う手法等は、図 1、図 34 等に示す構成の電源回路に限らず、少なくとも第 1～第 N 電位を供給するチャージ・ポンプ回路を含む電源回路であれば、種々ものに適用できる。

またチャージ・ポンプ回路の構成も図 6～図 24 に示したものに限られるものではない。

また上記実施例では、ラッチパルス LP を使用したチャージ・ポンプ回路を例にとり説明したが、LP を用いない場合にはディレイ回路等を用いてノンオーバーラップのクロックを生成すればよい。

## 請求の範囲

(1) 入力電源電圧が与えられ、表示素子を駆動するための第1～第N ( $N \geq 4$ ) 電位を供給する電源回路であって、

前記入力電源電圧に含まれる高電位側の第1入力電位を、前記第1～第N電位の中の第G ( $1 < G < N$ ) 電位として供給する手段と、

前記入力電源電位に含まれる低電位側の第2入力電位を、前記第1～第N電位の中の第J ( $1 < J < N$ ) 電位として供給する手段と、

所与のクロックに基づきチャージ・ポンプ動作を行い、高電位側の前記第1電位を直接に又は調整手段を介して供給するチャージ・ポンプ回路と、

所与のクロックに基づきチャージ・ポンプ動作を行い、低電位側の前記第N電位を直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含むことを特徴とする電源回路。

(2) クレーム1において、

前記第1～第N電位の中の前記第1、第G、第J、第N電位以外の電位を、所与のクロックに基づきチャージ・ポンプ動作するチャージ・ポンプ回路あるいは所与のオペアンプにより供給することを特徴とする電源回路。

(3) クレーム1において、

前記第1～第N電位を、

前記第1入力電位、前記第2入力電位、該第1、第2入力電位の midpoint 電位、並びに該第1、第2入力電位と異なる電位を発生した場合の該発生電位と該第1又は第2入力電位との midpoint 電位のいずれかに対して対称に形成することを特徴とする電源回路。

(4) クレーム1において、

前記第1、第2入力電位のいずれかに基づき該第1、第2入力電位と異なる電位を発生し、該発生電位を前記第G、第J電位のいずれかとすることを特徴とする電源回路。

(5) 入力電源電圧が与えられ、表示素子を駆動するための第1～第N ( $N \geq 4$ ) 電位を供給する電源回路であって、

所与のクロックに基づき $K$ 倍 ( $K \geq 2$ ) 昇圧のチャージ・ポンプ動作を行い、前記第1～第 $N$ 電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、

所与のクロックに基づき $L/M$ 倍 (但し $L/M$ は整数でない) 降圧又は $M/L$ 倍昇圧のチャージ・ポンプ動作を行い、前記第1～第 $N$ 電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含むことを特徴とする電源回路。

(6) 入力電源電圧が与えられ、表示素子を駆動するための第1～第 $N$  ( $N \geq 4$ ) 電位を供給する電源回路であって、

周期的に発生するパルスを含むパルス状クロックにより生成されたクロックに基づきチャージ・ポンプ動作を行い、前記第1～第 $N$ 電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、

前記チャージ・ポンプ回路が含むボンピング・コンデンサの充電及びボンピングコンデンサによるバックアップ・コンデンサの充電を、前記パルス状クロックの前記パルスの発生期間において停止させる手段とを含むことを特徴とする電源回路。

(7) 入力電源電圧が与えられ、表示素子を駆動するための第1～第 $N$  ( $N \geq 4$ ) 電位を供給する電源回路であって、

所与のクロックに基づきチャージ・ポンプ動作を行い、高電位側の前記第1電位と低電位側の前記第 $N$ 電位のいずれかを、直接に又は調整手段を介して供給するチャージ・ポンプ回路と、

複数のボンピング・コンデンサによりバックアップ・コンデンサを交互に充電するチャージ・ポンプ動作を所与のクロックに基づき行い、前記第1～第 $N$ 電位の中の第 $I$ 電位 ( $1 < I < N$ ) を直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含むことを特徴とする電源回路。

(8) 入力電源電圧が与えられ、表示素子を駆動するための第1～第 $N$  ( $N \geq 4$ ) 電位を供給する電源回路であって、

所与のクロックに基づきチャージ・ポンプ動作を行い、前記第1～第 $N$ 電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、

前記チャージ・ポンプ回路が含むポンピング・コンデンサの充電及びポンピングコンデンサによるバックアップ・コンデンサの充電を、前記表示素子の駆動における 1 水平走査期間毎に行わせる手段とを含むことを特徴とする電源回路。

(9) クレーム 8 において、

前記チャージ・ポンプ回路が、

複数のポンピング・コンデンサによりバックアップ・コンデンサを 1 水平期間毎に交互に充電するチャージ・ポンプ動作を行うことを特徴とする電源回路。

(10) 入力電源電圧が与えられ、表示素子を駆動するための第 1～第 N ( $N \geq 4$ ) 電位を供給する電源回路であって、

所与のクロックに基づき K 倍 ( $K \geq 2$ ) 昇圧又は  $L/M$  倍 (但し  $L/M$  は整数でない) 降圧又は  $M/L$  倍昇圧のチャージ・ポンプ動作を行い、前記第 1～第 N 電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、

前記チャージ・ポンプ回路の昇圧倍率又は降圧倍率を変更する手段とを含むことを特徴とする電源回路。

(11) 入力電源電圧が与えられ、表示素子を駆動するための第 1～第 N ( $N \geq 4$ ) 電位を供給する電源回路であって、

所与のクロックに基づきチャージ・ポンプ動作を行い、高電位側の前記第 1 電位又は低電位側の前記第 N 電位を直接に又は調整手段を介して供給するチャージ・ポンプ回路と、

前記入力電源電圧の投入後の所与の期間、前記チャージ・ポンプ回路による前記第 1 電位又は前記第 N 電位の供給を停止する手段とを含むことを特徴とする電源回路。

(12) 入力電源電圧が与えられ、表示素子を駆動するための第 1～第 N ( $N \geq 4$ ) 電位を供給する電源回路であって、

前記入力電源電圧に含まれる高電位側の第 1 入力電位を、前記第 1～第 N 電位の中の第 G ( $1 < G < N$ ) 電位として供給する手段と、

前記入力電源電圧に含まれる低電位側の第 2 入力電位を、前記第 1～第 N 電位の中の第 J ( $1 < J < N$ ) 電位として供給する手段と、

前記入力電源電圧に含まれ前記第 1、第 2 入力電位よりも高電位側又は低電位

側の第3入力電位を、高電位側の前記第1電位と低電位側の前記第N電位のいずれかとして供給する手段と、

所与のクロックに基づきチャージ・ポンプ動作を行い、前記第1、第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、

所与のクロックに基づきチャージ・ポンプ動作を行い、前記第G、第J電位よりも高電位側又は低電位側の第F電位 ( $1 < F < N$ ) を、直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含み、

前記第1～第N電位の中の前記第1、第F、第G、第J、第N電位以外の電位を、所与のクロックに基づきチャージ・ポンプ動作するチャージ・ポンプ回路により供給することを特徴とする電源回路。

(13) 入力電源電圧が与えられ、表示素子を駆動するための第1～第N ( $N \geq 4$ ) 電位を供給する電源回路であって、

所与のクロックに基づきチャージ・ポンプ動作を行い、前記第1～第N電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路と、

前記入力電源電圧の供給停止、前記所与のクロックの供給停止あるいは表示オフ制御信号の入力の少なくとも1つがなされた場合に、前記第1、第N電位の少なくとも一方により電位が供給される回路部分の残留電荷を放電させる手段とを含むことを特徴とする電源供給回路。

(14) クレーム1乃至13のいずれかにおいて、

前記チャージ・ポンプ回路の所与のクロックを停止する手段を含むことを特徴とする電源回路。

(15) クレーム1乃至13のいずれかの電源回路と、複数のデータ線電極と複数の走査線電極により駆動される液晶層を含む液晶パネルと、前記電源回路により供給される電位に基づいて前記データ線電極を駆動するデータ線ドライバと、前記電源回路により供給される電位に基づいて前記走査線電極を駆動する走査線ドライバとを含むことを特徴とする液晶表示装置。

(16) 入力電源電圧が与えられ第1～第N ( $N \geq 4$ ) 電位を供給する電源回路と、複数のデータ線電極と複数の走査線電極により駆動される液晶層を含む液晶パネルと、前記電源回路により供給される電位に基づいて前記データ線電極を駆

動するデータ線ドライバと、前記電源回路により供給される電位に基づいて前記走査線電極を駆動する走査線ドライバとを含む液晶表示装置であって、

前記電源回路が、

前記入力電源電圧に含まれる高電位側の第 1 入力電位、低電位側の第 2 入力電位を、前記第 1 ～第 N 電位のいずれかとして供給する手段と、

所与のクロックに基づきチャージ・ポンプ動作を行い、前記第 1 ～第 N 電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路とを含み、

前記第 1、第 2 入力電位を、前記データ線ドライバ及び走査線ドライバの少なくとも一方のロジック部の電源電圧として使用することを特徴とする液晶表示装置。

(17) クレーム 16 において、

前記電源回路が、

所与のクロックに基づきチャージ・ポンプ動作により前記第 1、第 2 入力電位と異なる電位を発生し、該発生電位を前記第 1 ～第 N 電位のいずれかとして供給するチャージ・ポンプ回路を含むことを特徴とする液晶表示装置。

(18) 入力電源電圧が与えられ第 1 ～第 N ( $N \geq 4$ ) 電位を供給する電源回路と、複数のデータ線電極と複数の走査線電極により駆動される液晶層を含む液晶パネルと、前記電源回路により供給される電位に基づいて前記データ線電極を駆動するデータ線ドライバと、前記電源回路により供給される電圧に基づいて前記走査線電極を駆動する走査線ドライバとを含む液晶表示装置であって、

前記電源回路が、

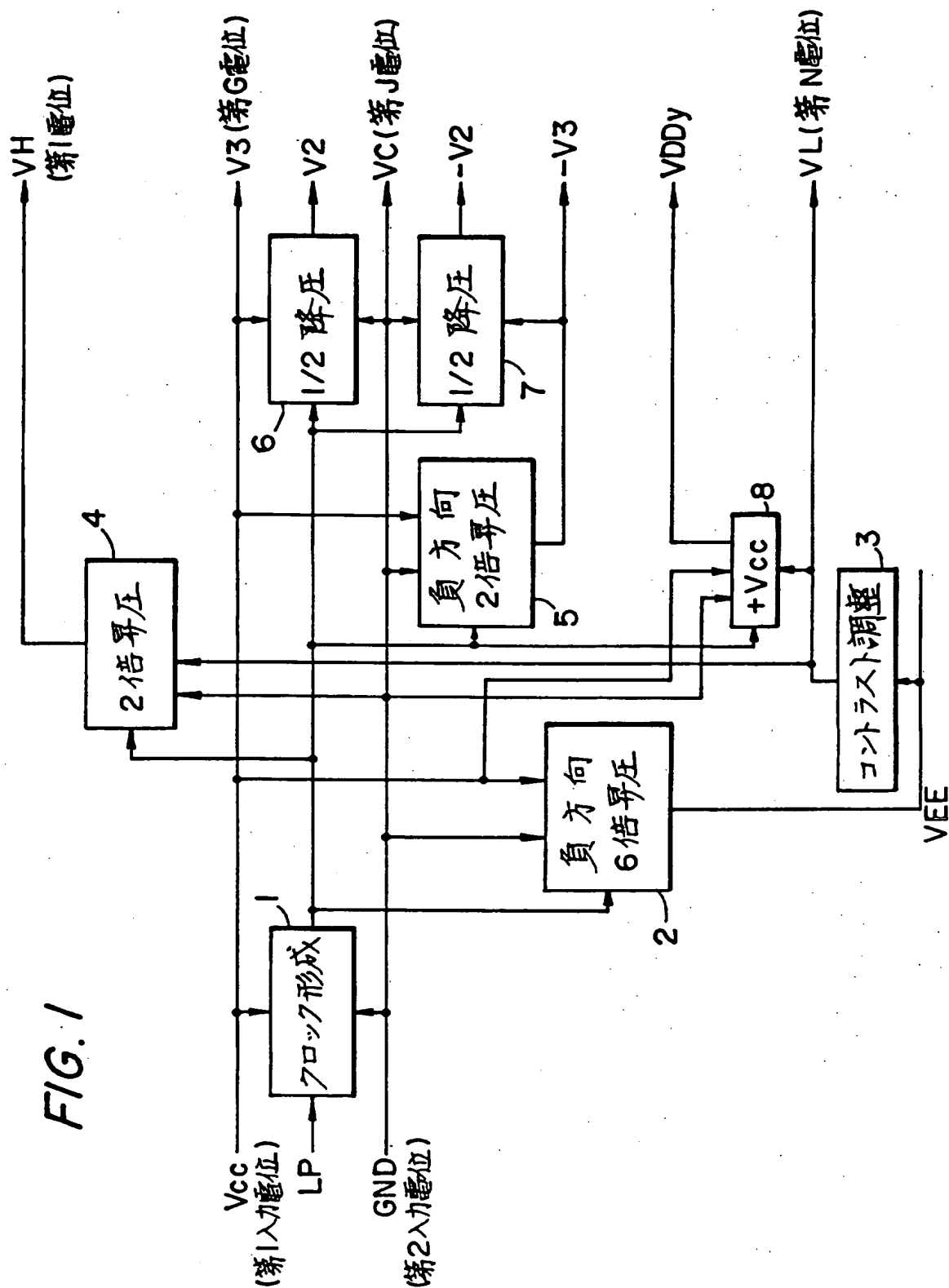
前記データ線ドライバ用のラッチパルス又は前記走査線ドライバ用のシフトクロックにより生成されたクロックに基づきチャージ・ポンプ動作を行い、前記第 1 ～第 N 電位のいずれかを直接に又は調整手段を介して供給するチャージ・ポンプ回路を含むことを特徴とする液晶表示装置。

(19) クレーム 15 の液晶表示装置を含むことを特徴とする電子機器。

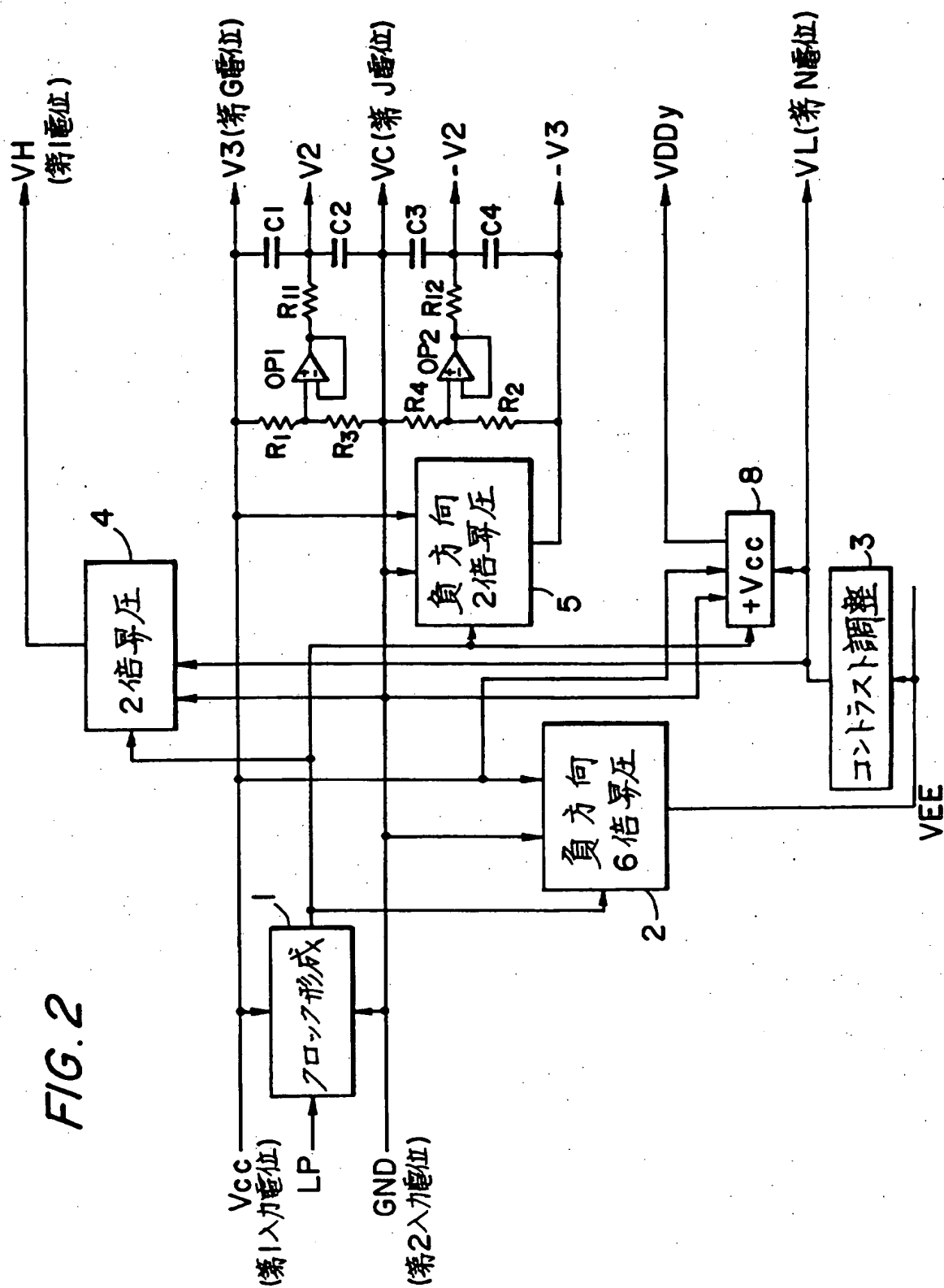
(20) クレーム 16 乃至 18 のいずれかの液晶表示装置を含むことを特徴とする電子機器。



**FIG. 1**

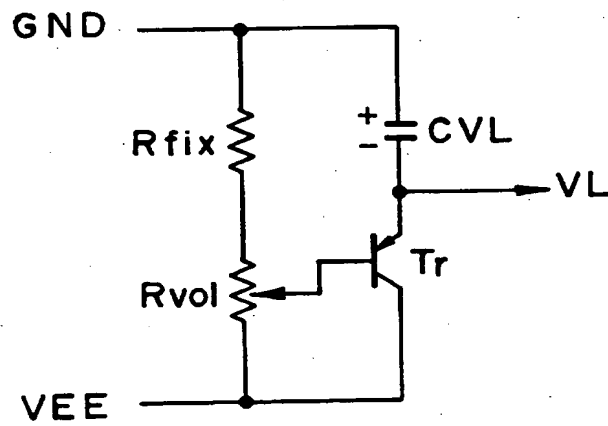


2 / 39



3/39

FIG. 3



4 / 39

FIG. 4

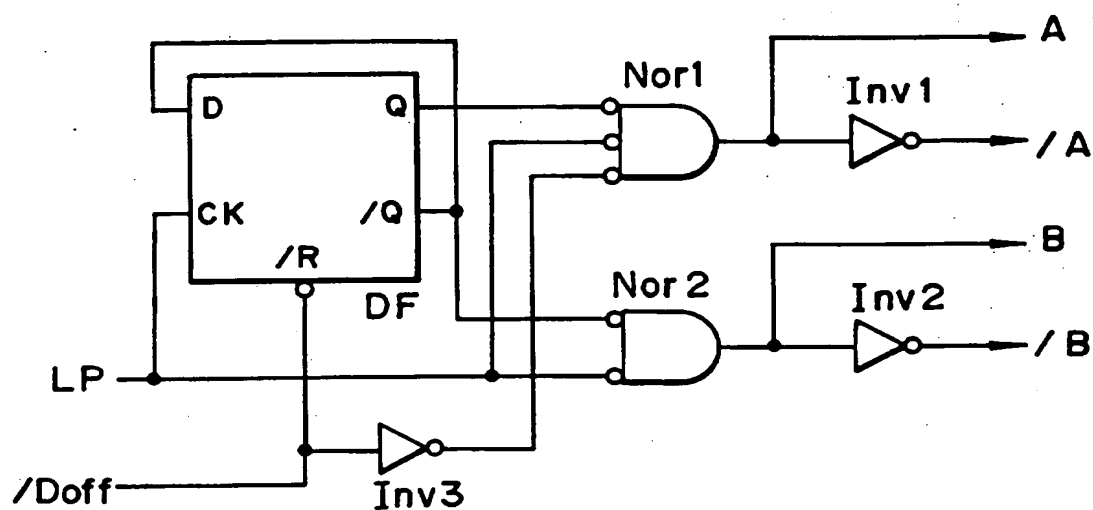
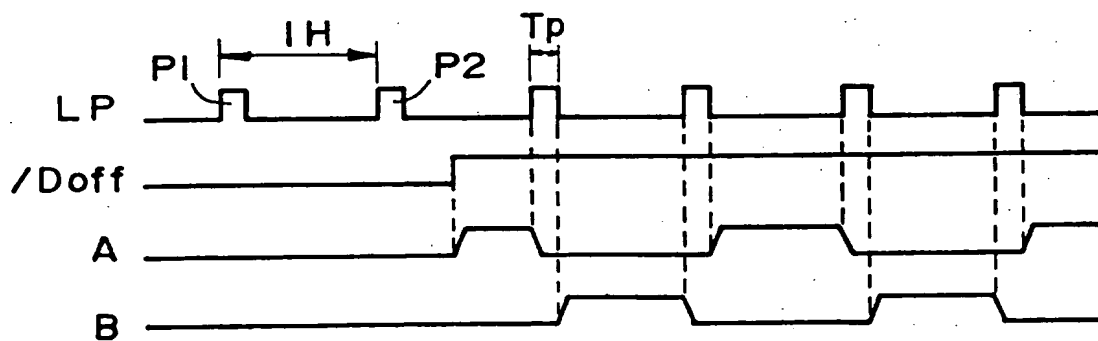


FIG. 5



5/39

FIG. 6

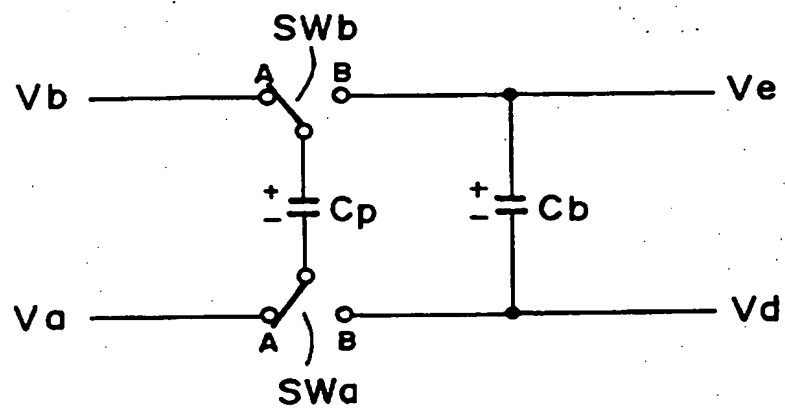
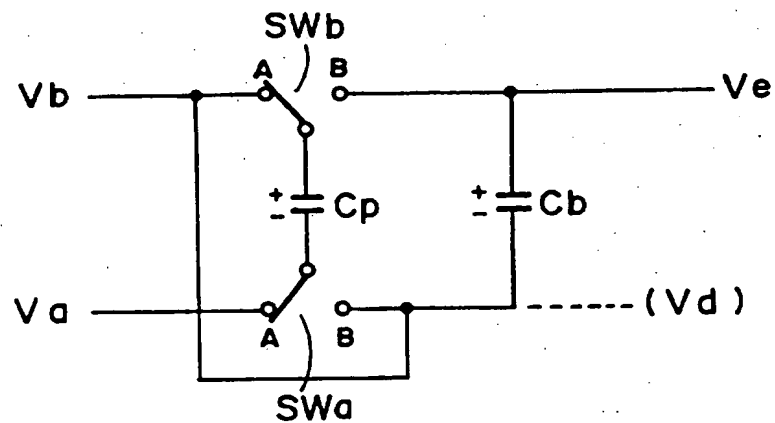
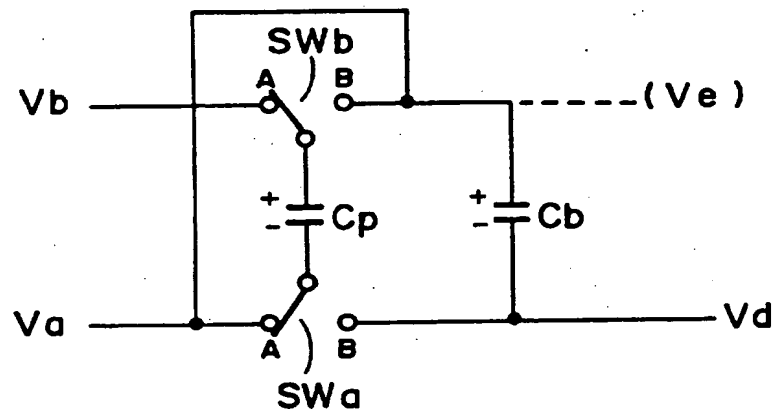


FIG. 7

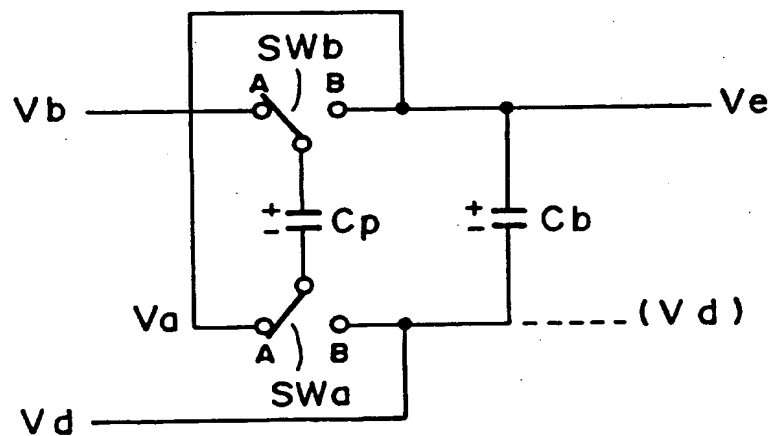


6/39

**FIG. 8**



**FIG. 9**



7/39

FIG. 10

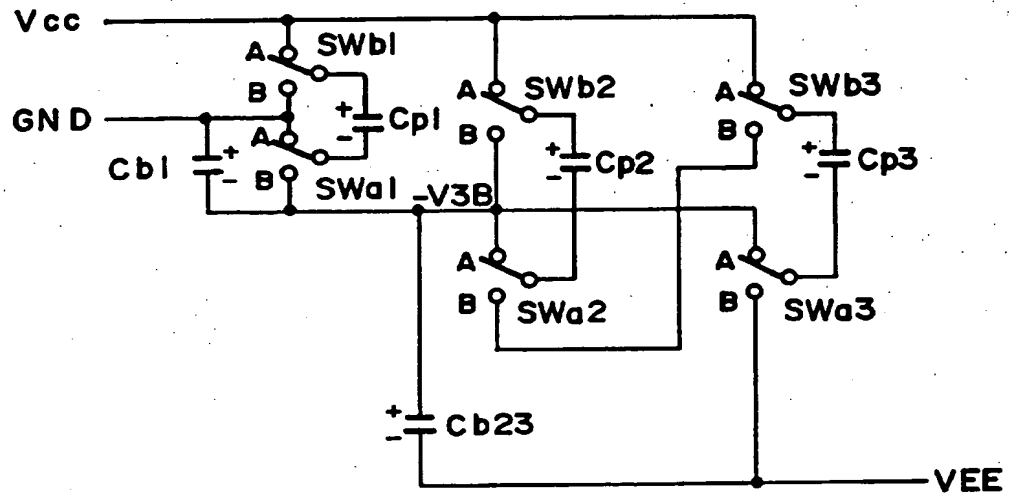
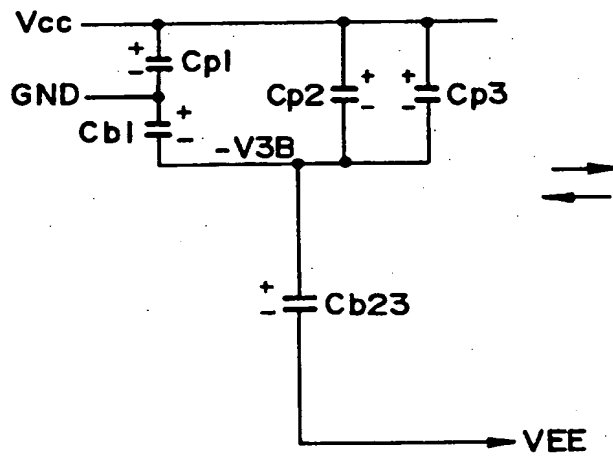
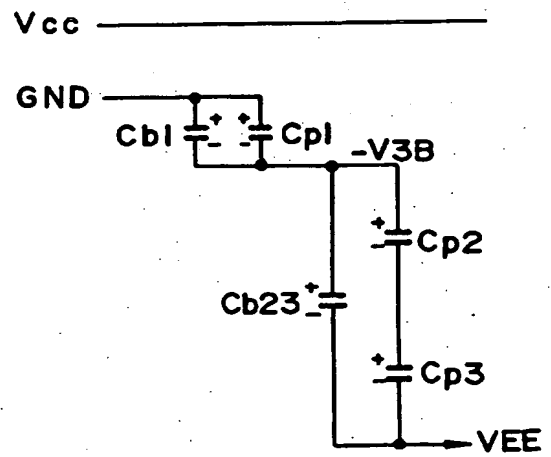


FIG. 11A



A 側]

FIG. 11B



B 側]

8/39

FIG. 12

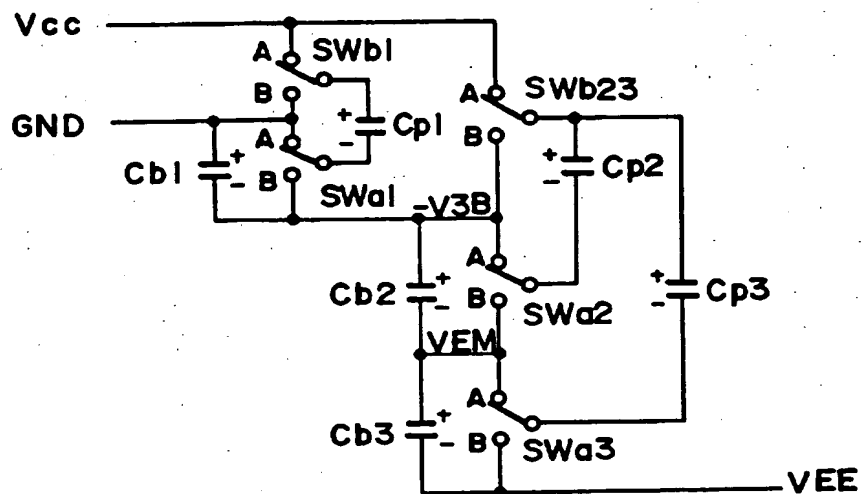
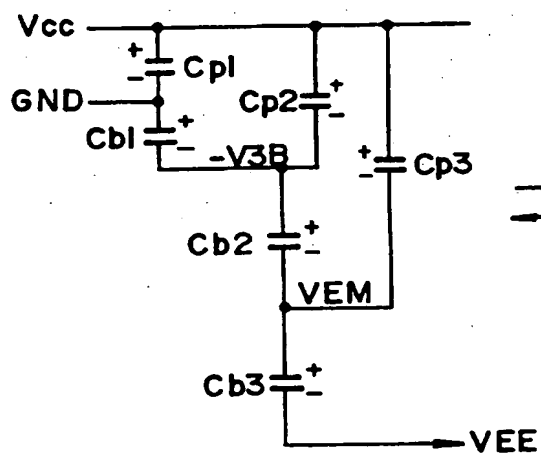
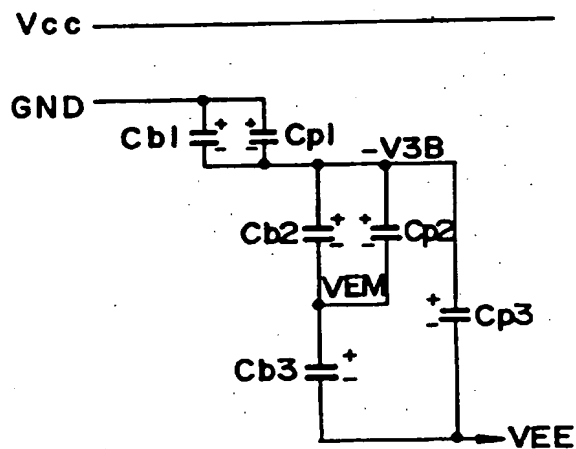


FIG. 13A



A 側

FIG. 13B



B 側



9/39

FIG. 14A

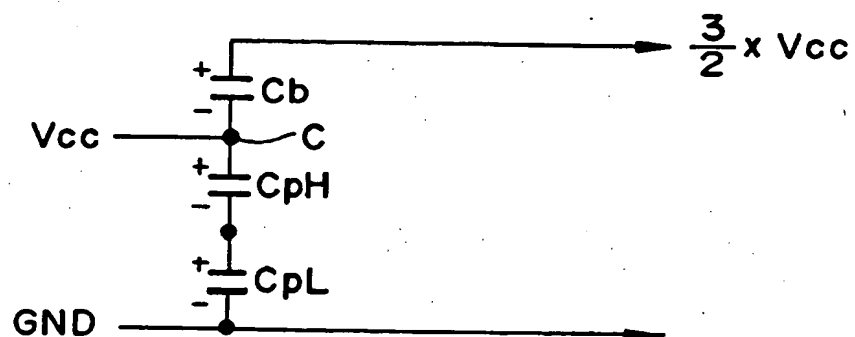
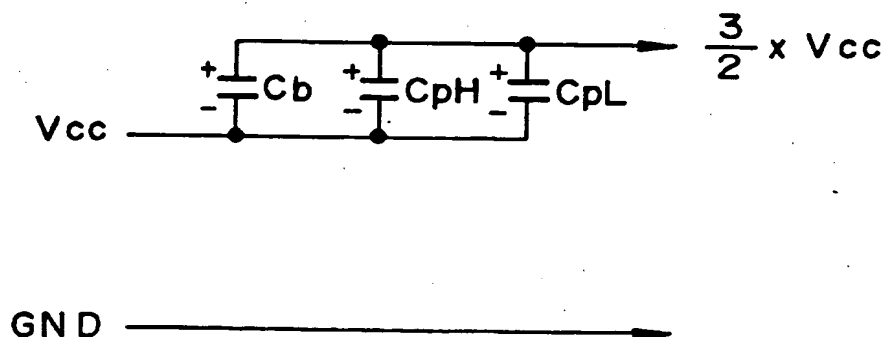
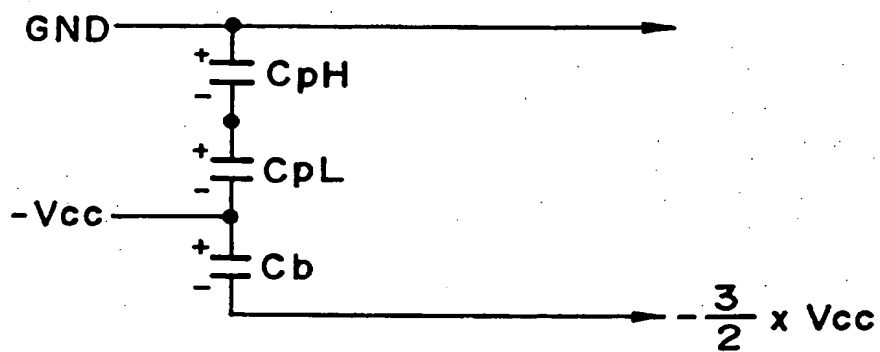
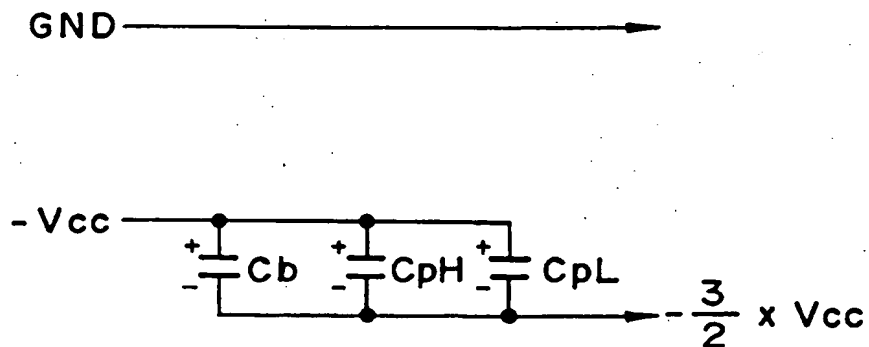


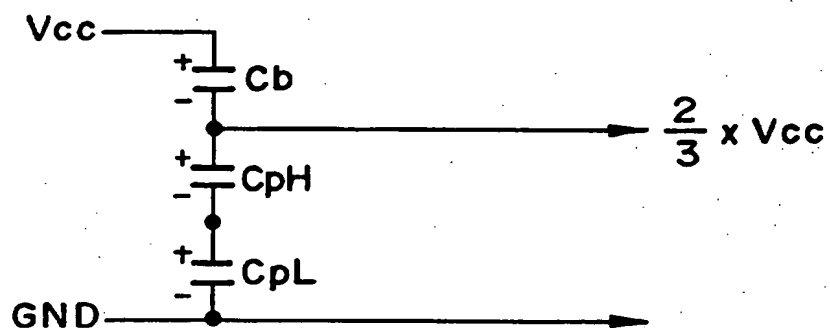
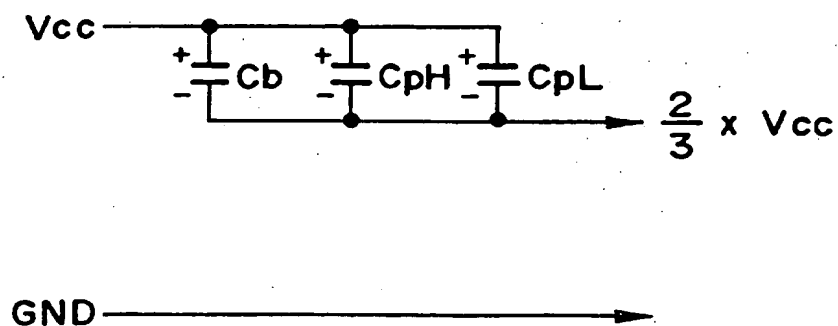
FIG. 14B



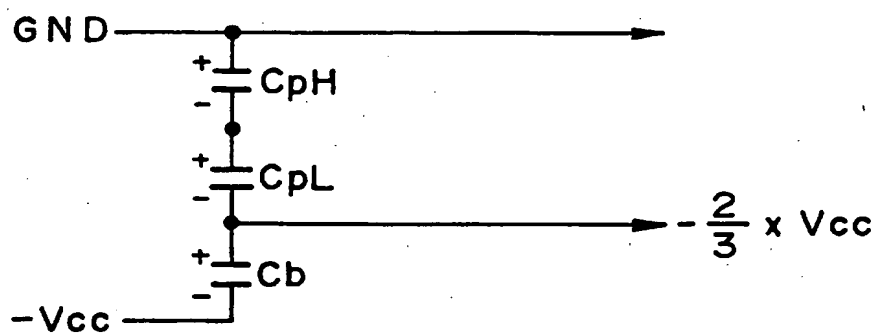
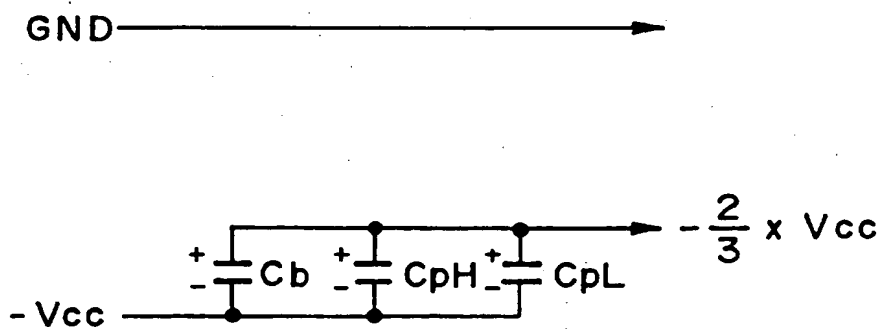
10/39

*FIG. 15A**FIG. 15B*

11/39

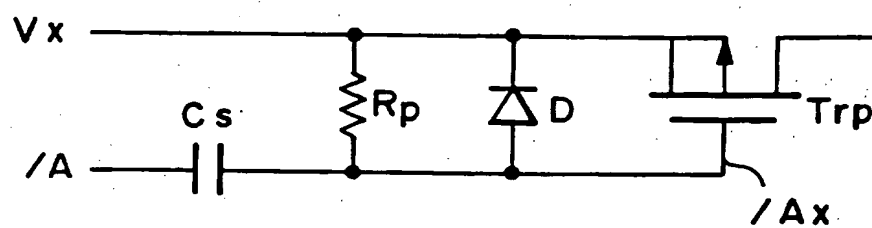
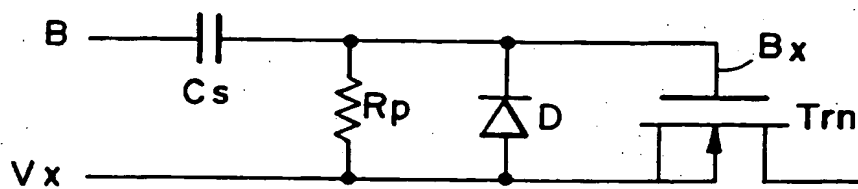
*FIG. 16A**FIG. 16B*

12 / 39

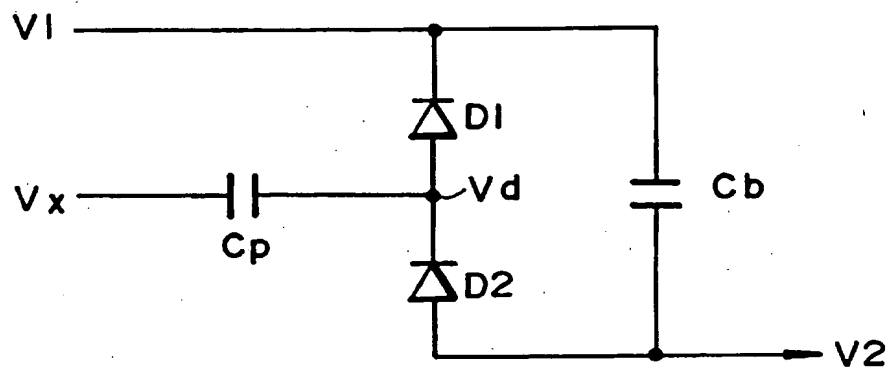
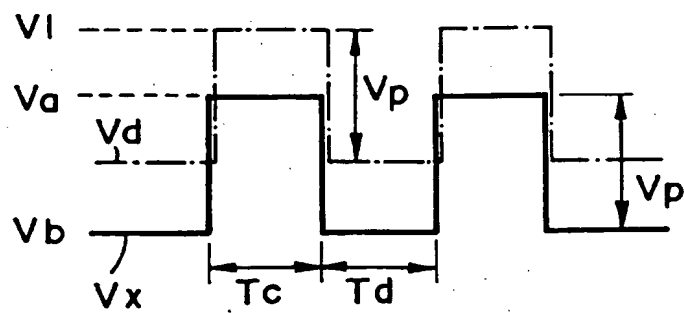
*FIG.17A**FIG.17B*



14/39

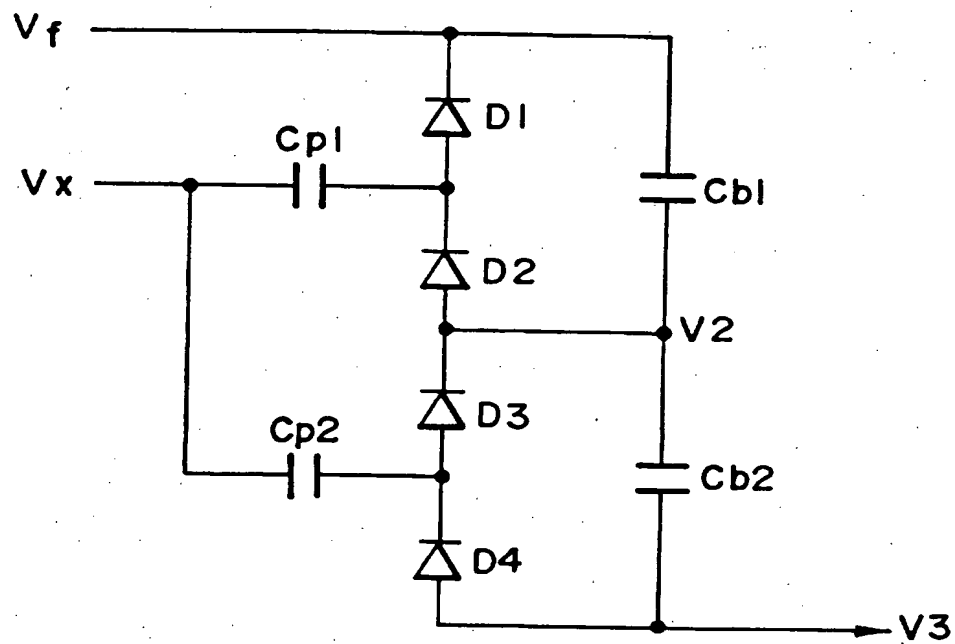
*FIG. 20A**FIG. 20B*

15/39

*FIG. 21**FIG. 22*

16/39

FIG. 23







18/39

FIG. 25A



チャージ (Cp充電)	ポンプ (Cp→Cb)	チャージ (Cp充電)	ポンプ (Cp→Cb)
----------------	----------------	----------------	----------------

FIG. 25B



チャージ (Cp1充電)	チャージ (Cp2充電)	チャージ (Cp1充電)	チャージ (Cp2充電)
ポンプ (Cp2→Cb)	ポンプ (Cp1→Cb)	ポンプ (Cp2→Cb)	ポンプ (Cp1→Cb)

FIG. 25C



チャージ (Cp充電)	ポンプ (Cp→Cb)	チャージ (Cp充電)	ポンプ (Cp→Cb)	チャージ (Cp充電)	ポンプ (Cp→Cb)
----------------	----------------	----------------	----------------	----------------	----------------

19/39

FIG. 26

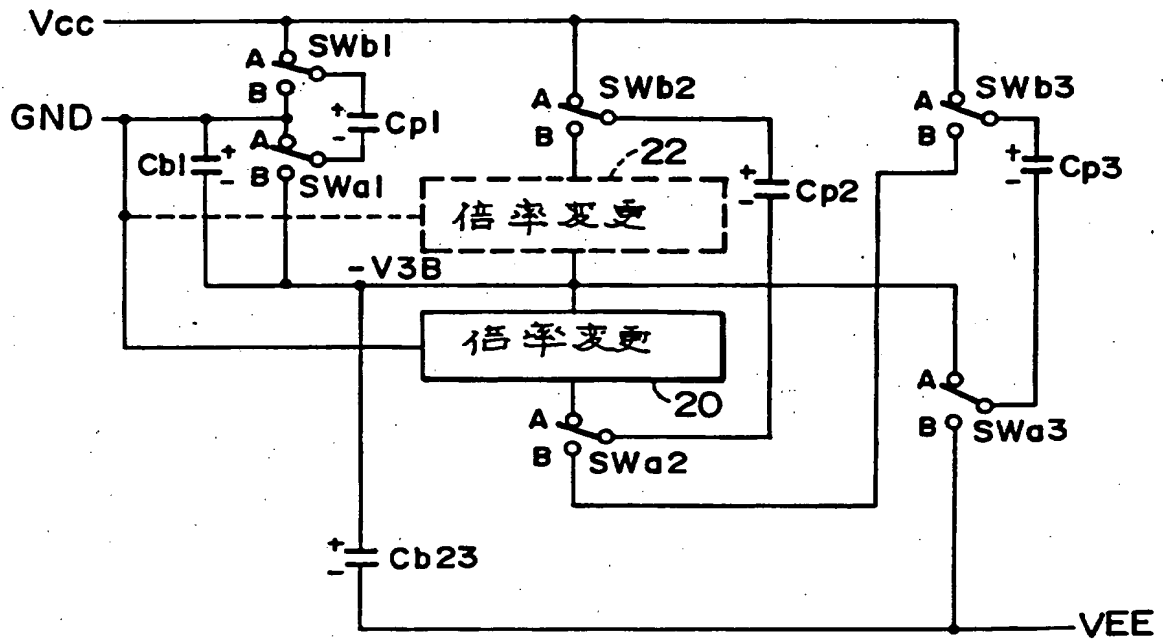
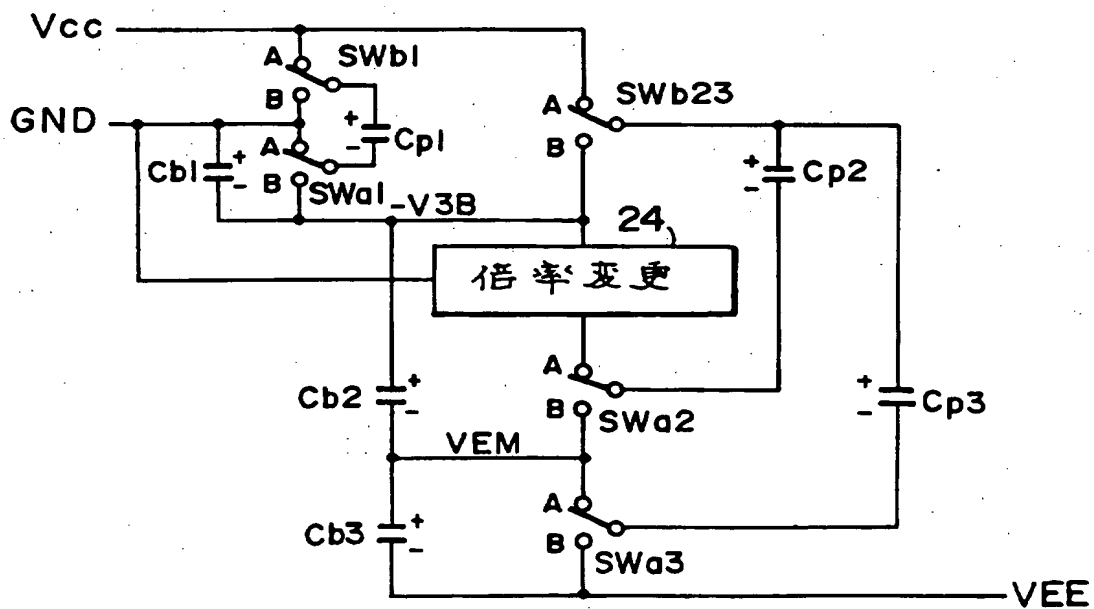


FIG. 27



20/39

FIG. 28A

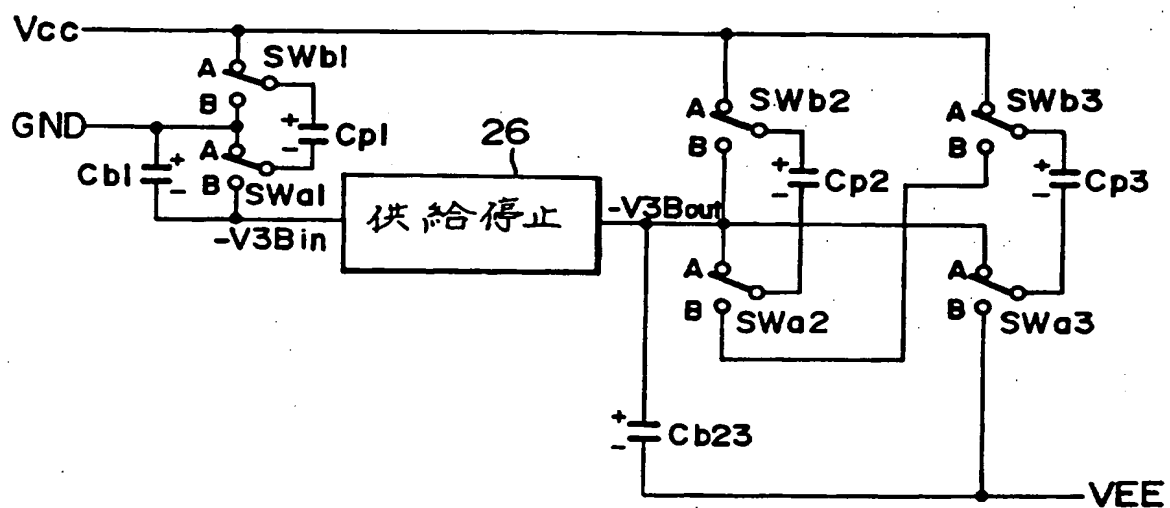
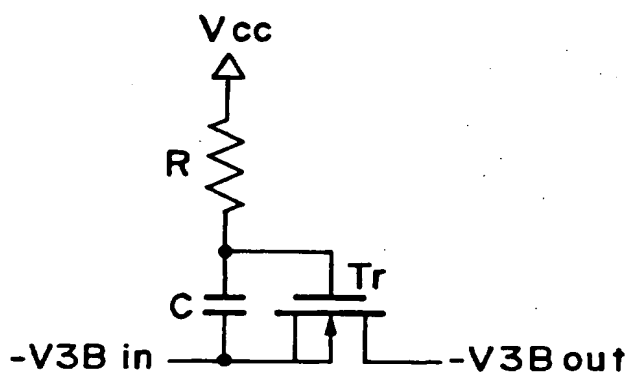
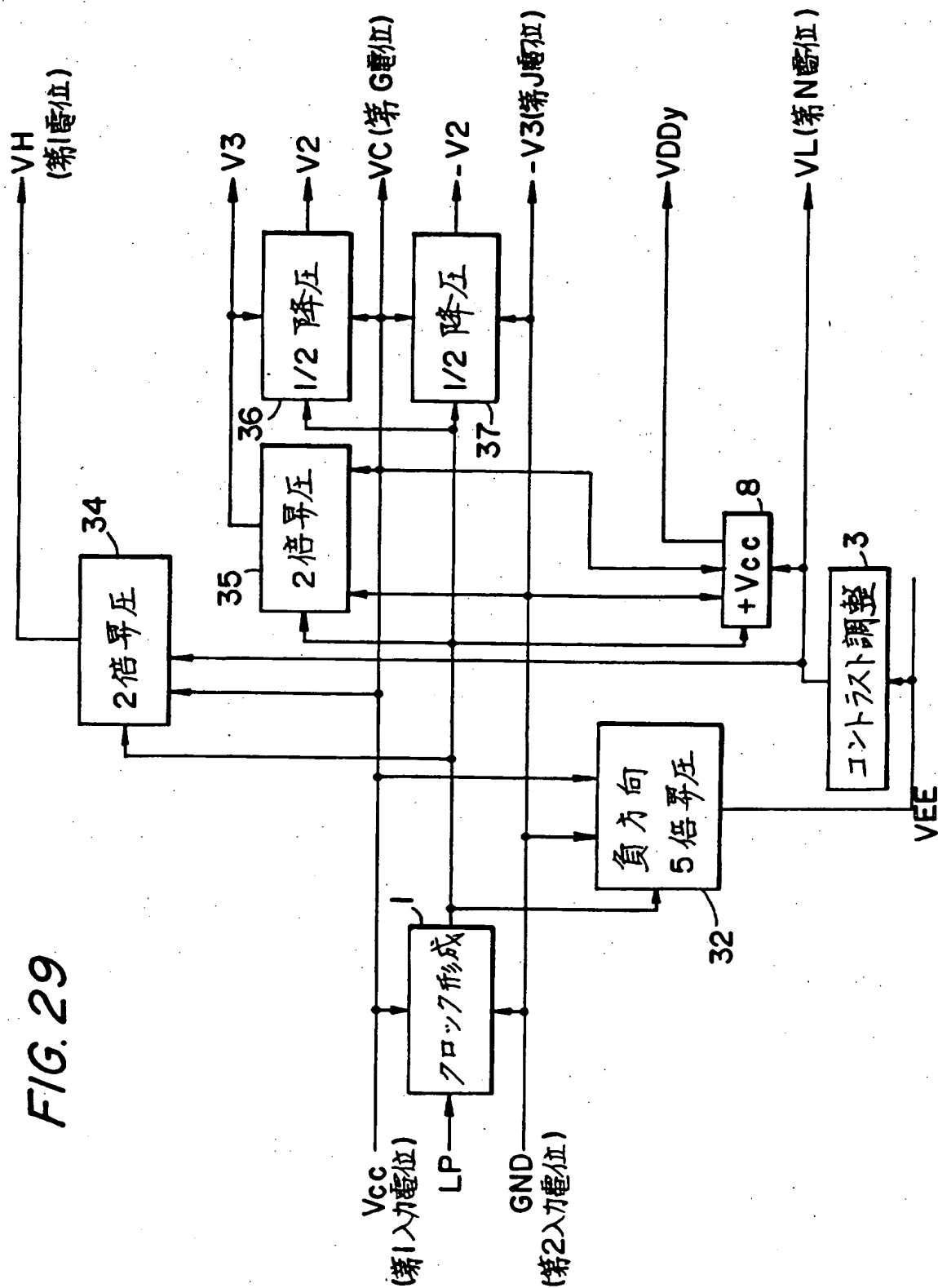


FIG. 28B

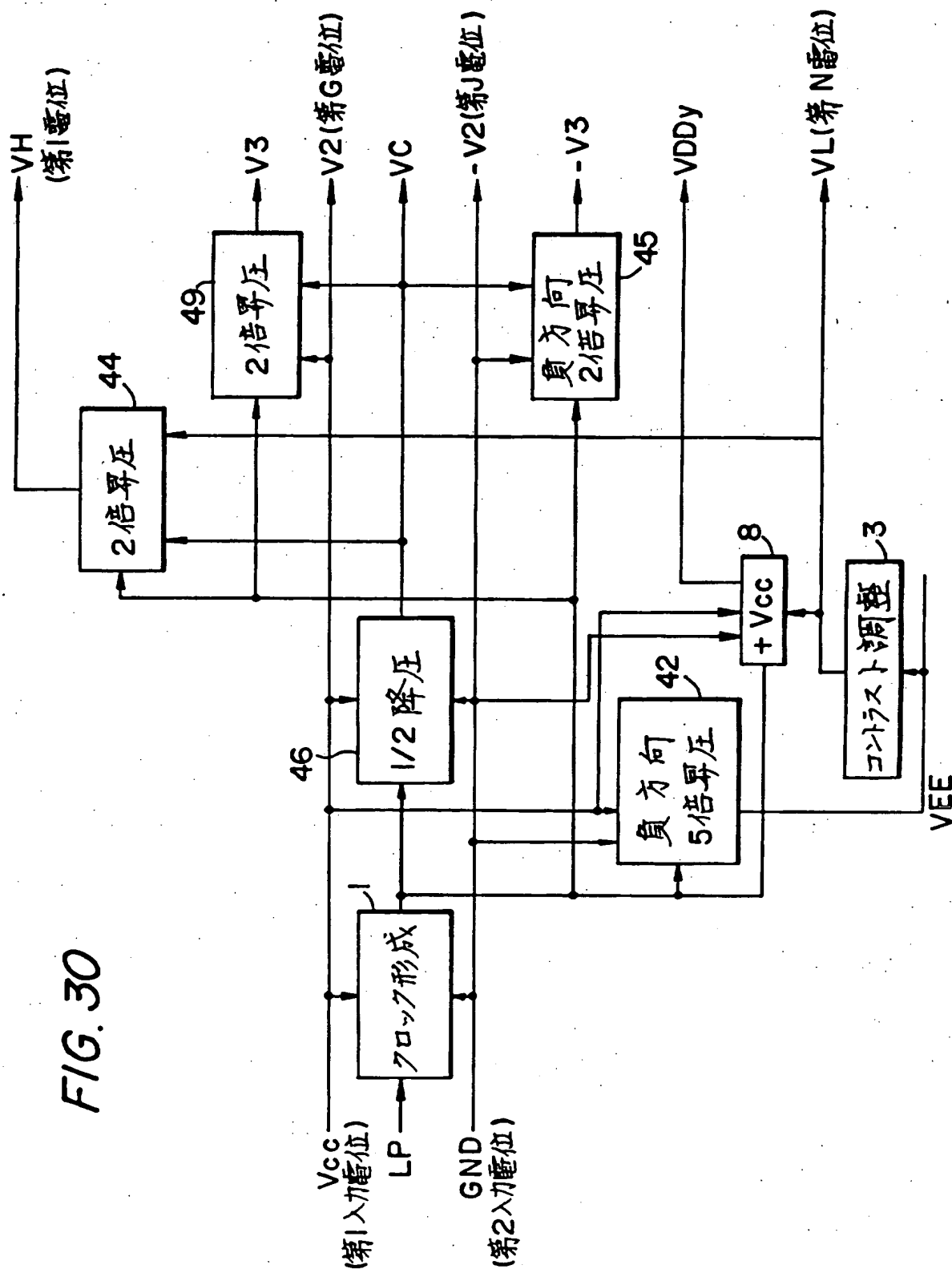


21 / 39

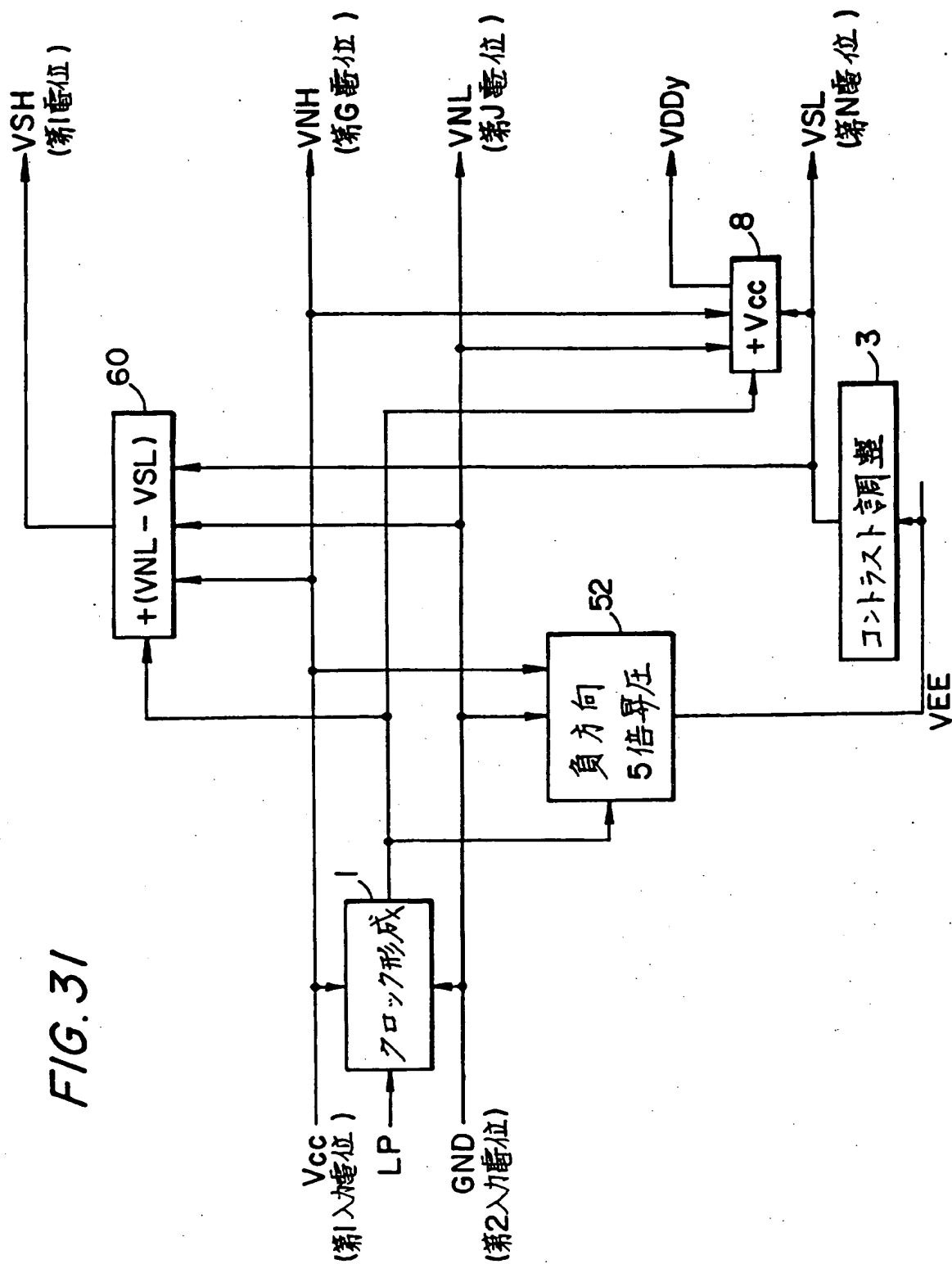
FIG. 29



22/39

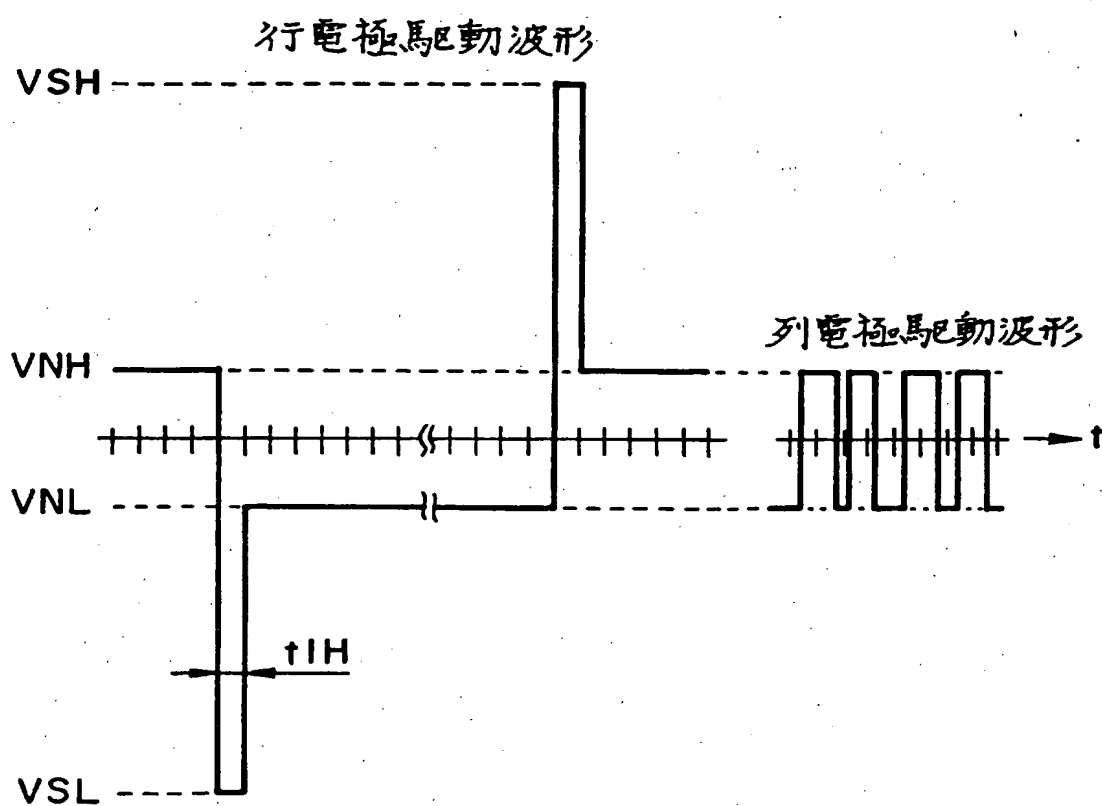


23 / 39



24/39

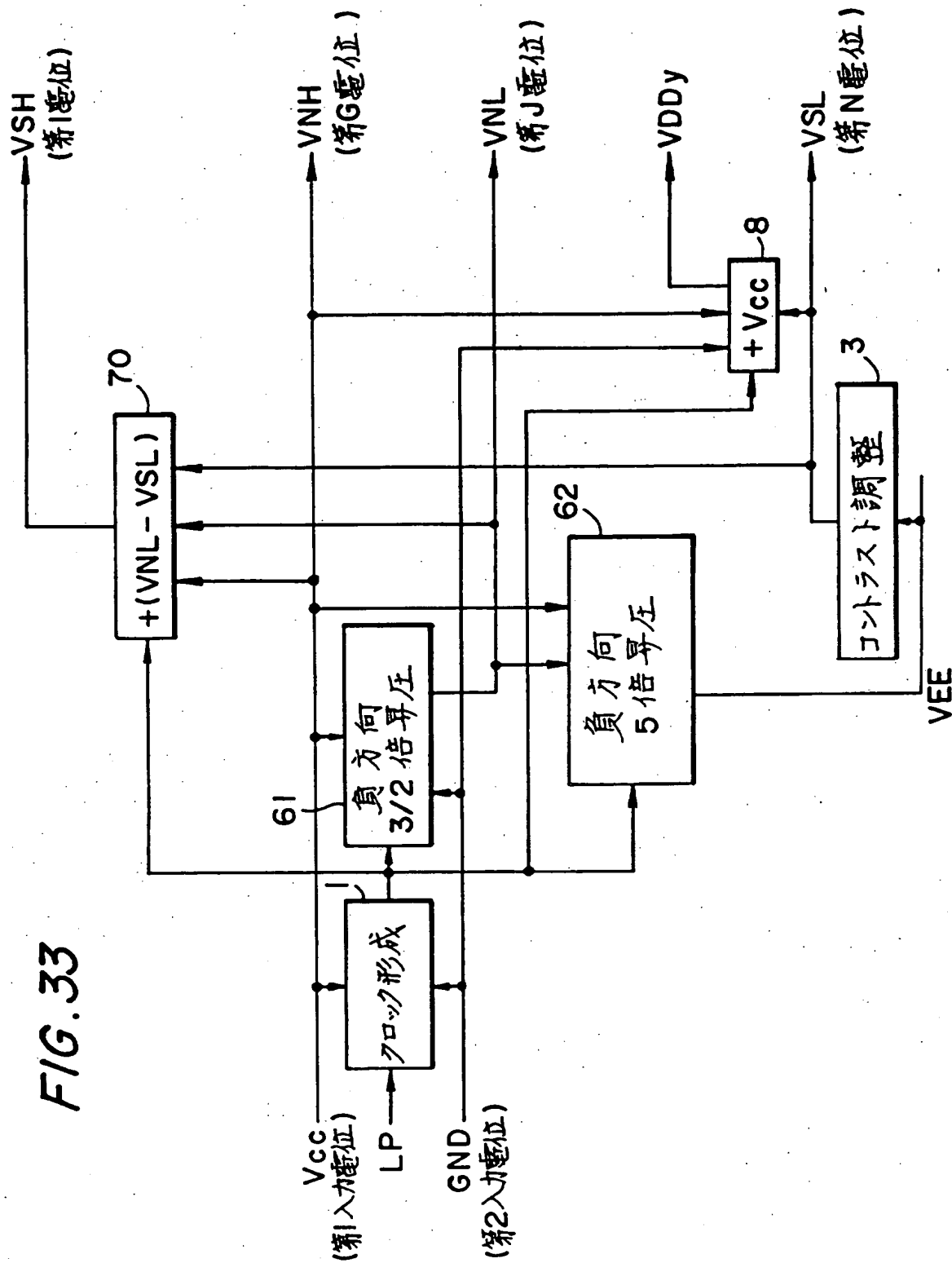
FIG. 32



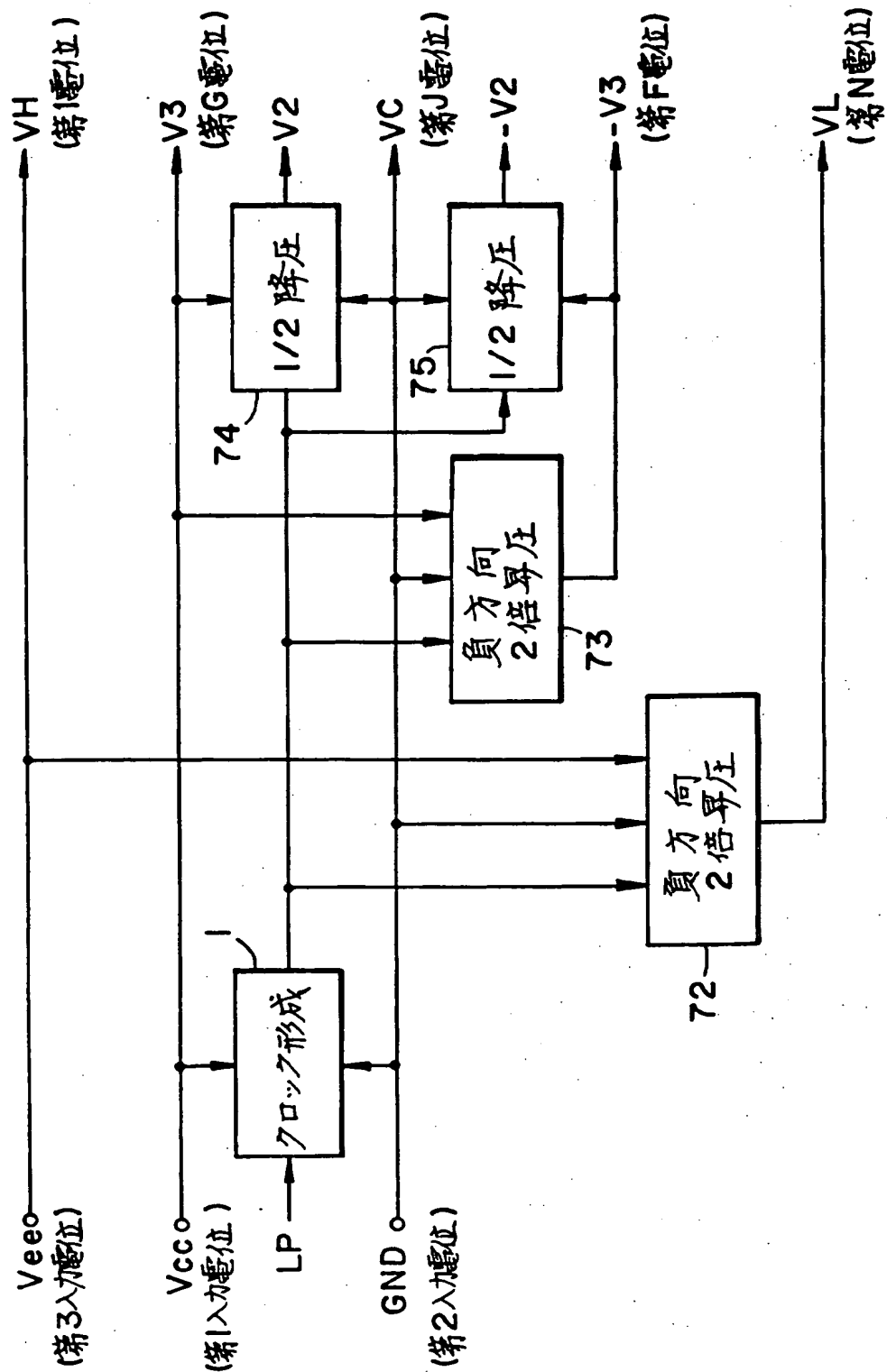


25/39

FIG. 33

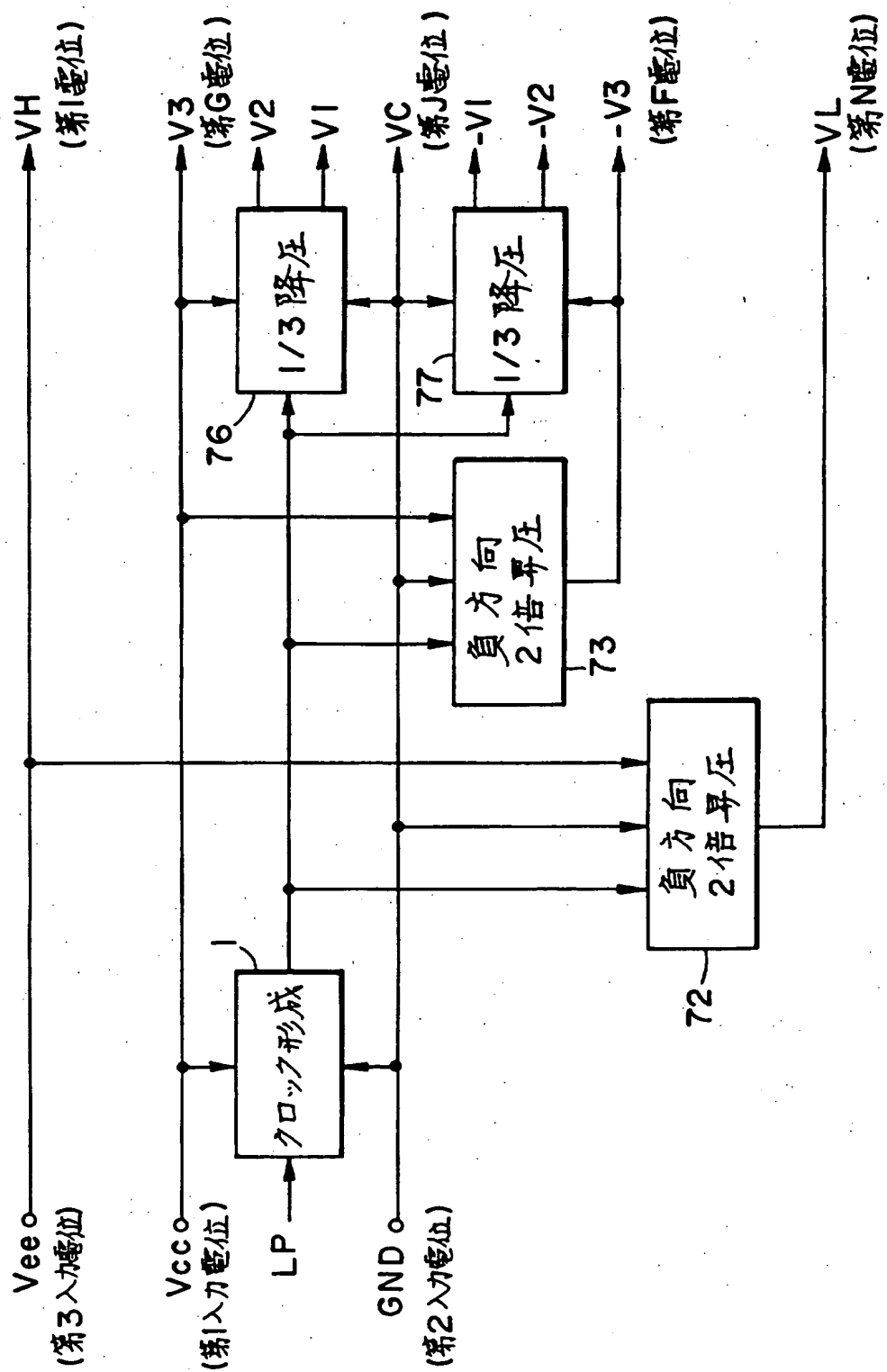


**FIG. 34**



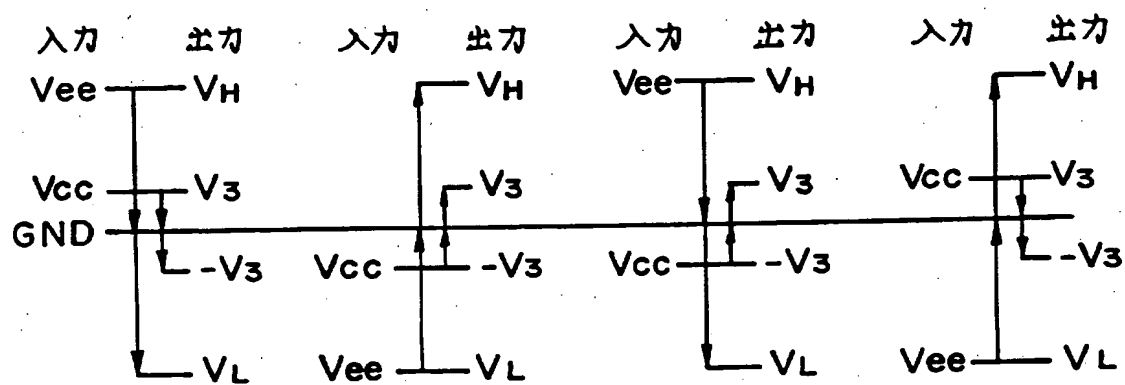
27 / 39

FIG. 35



28/39

FIG. 36





30/39

FIG. 39A

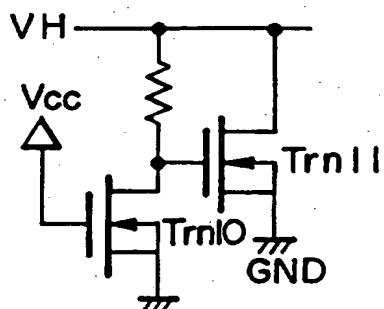


FIG. 39B

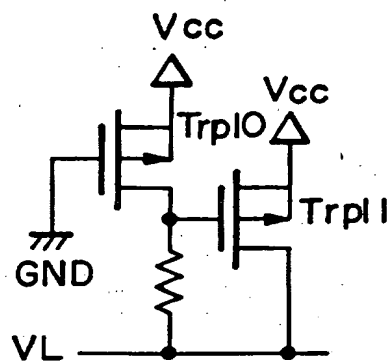


FIG. 40A

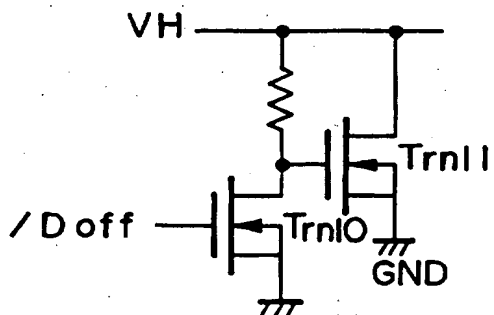
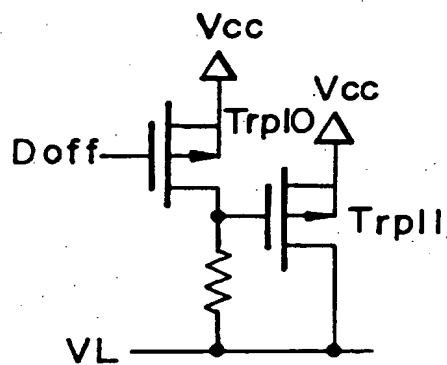
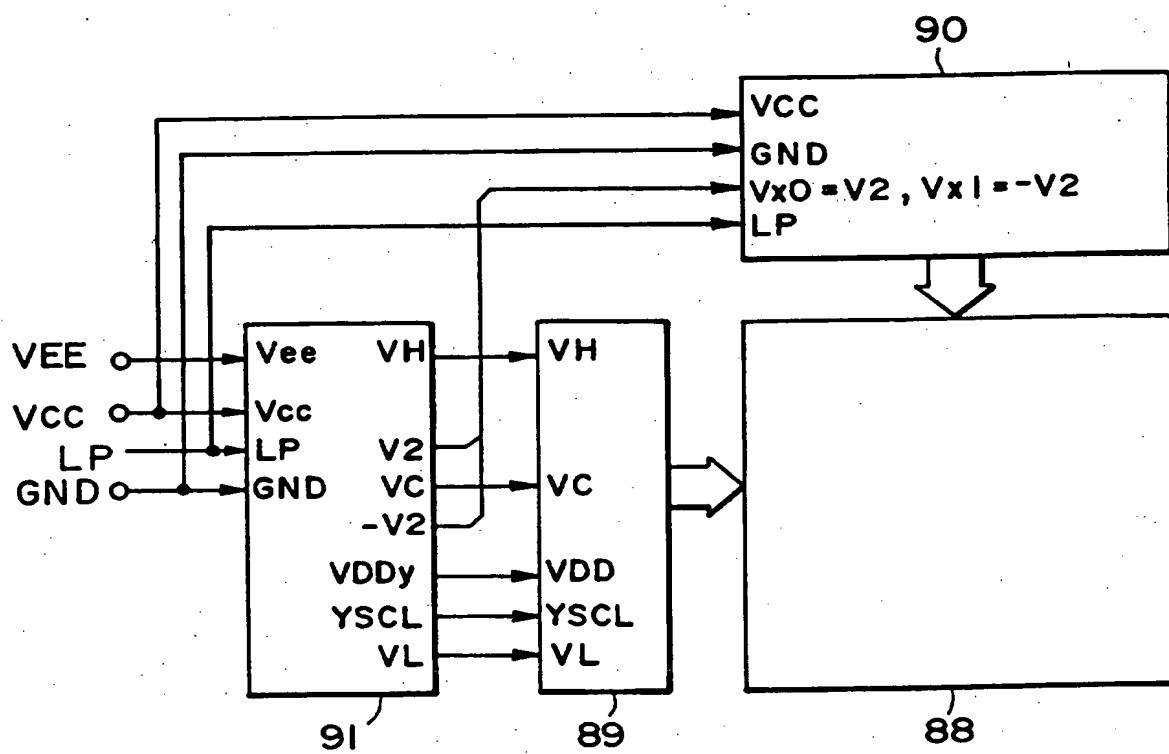


FIG. 40B



31/39

FIG. 41



32 / 39

FIG. 42

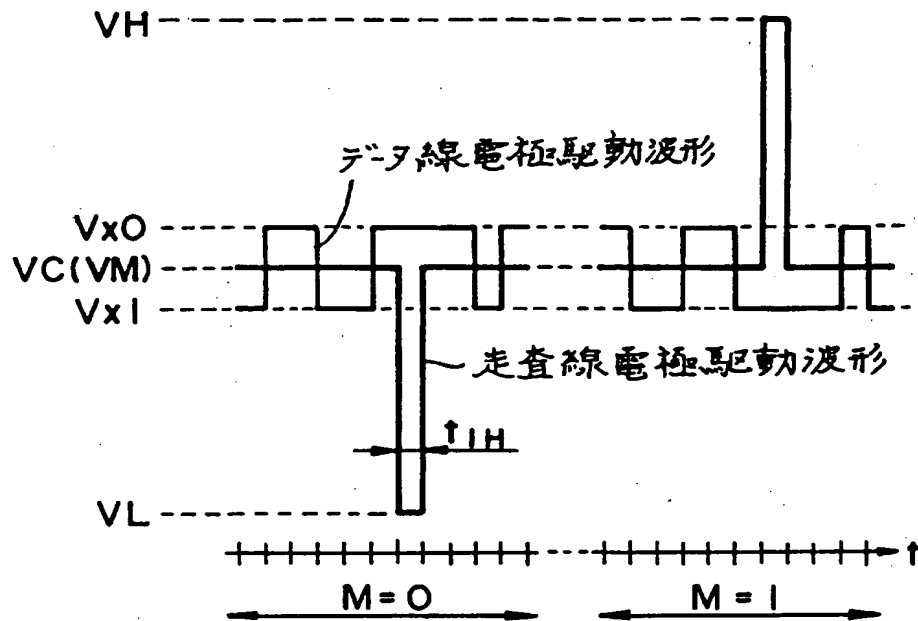
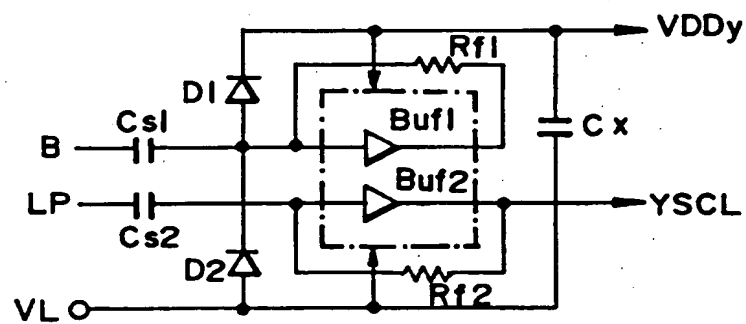


FIG. 43





33/39

FIG. 44A

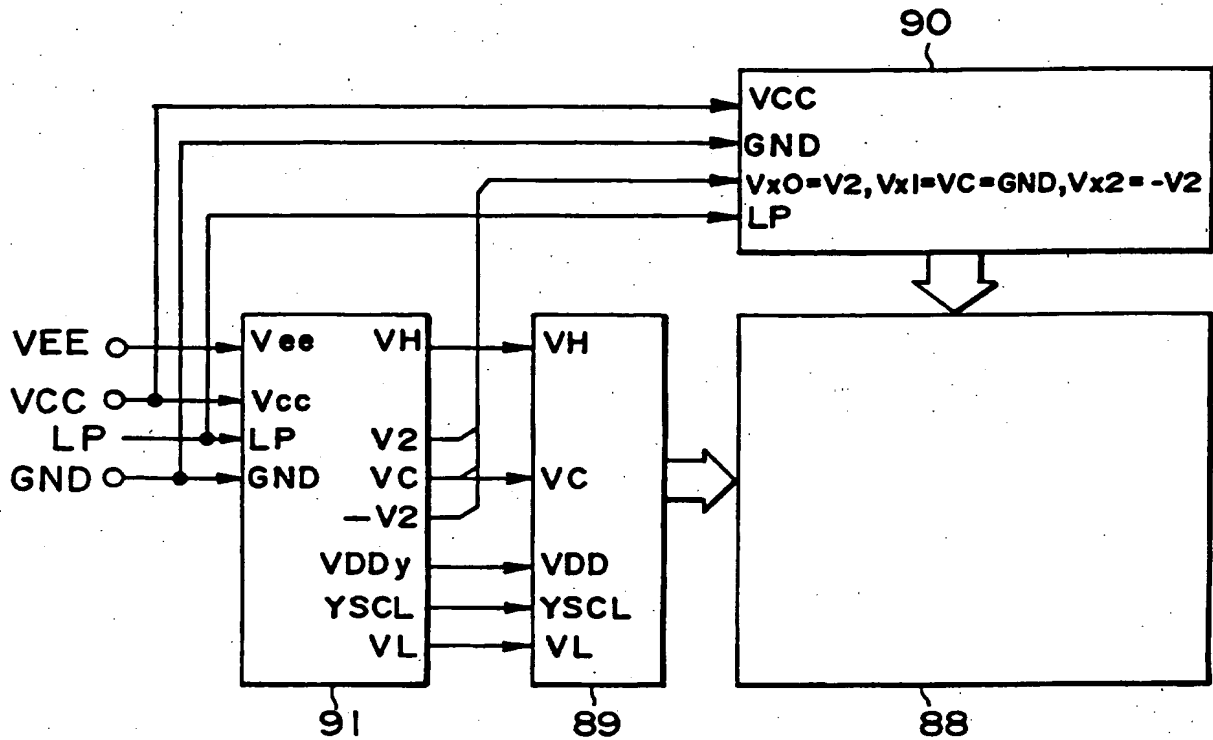
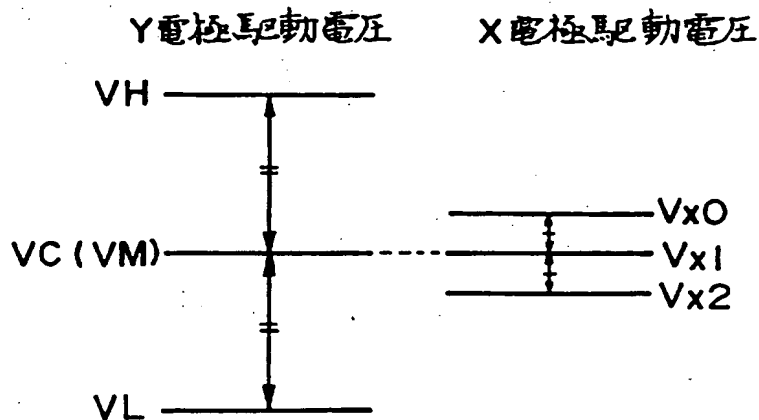


FIG. 44B



34/39

FIG. 45A

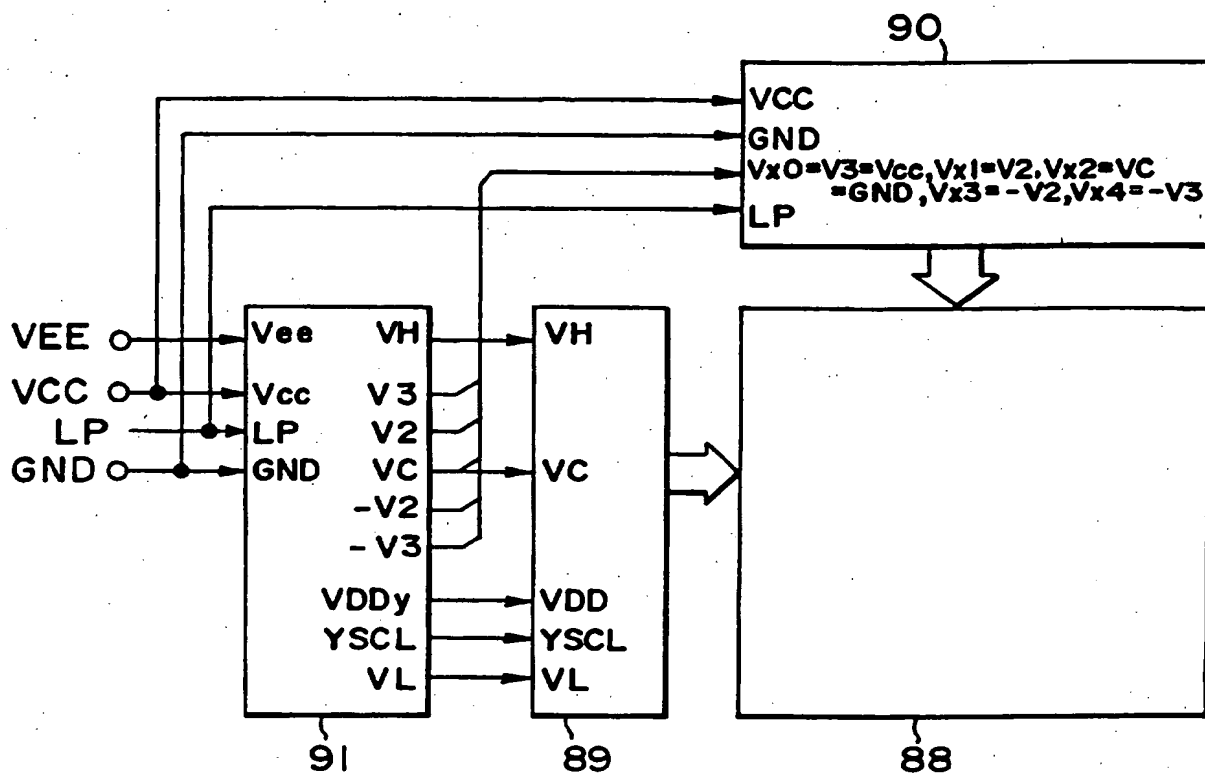
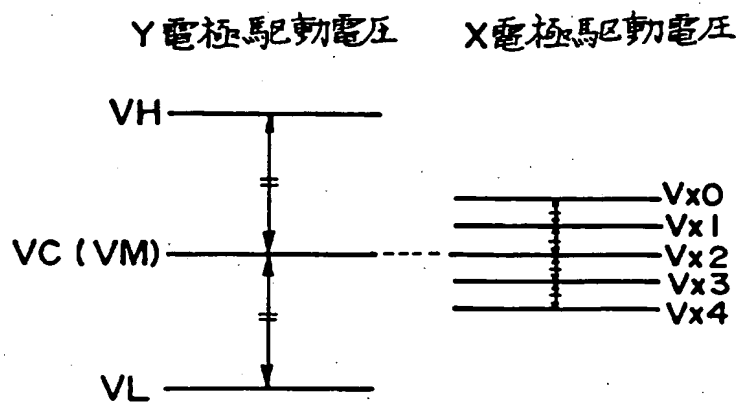


FIG. 45B



35/39

FIG. 46A

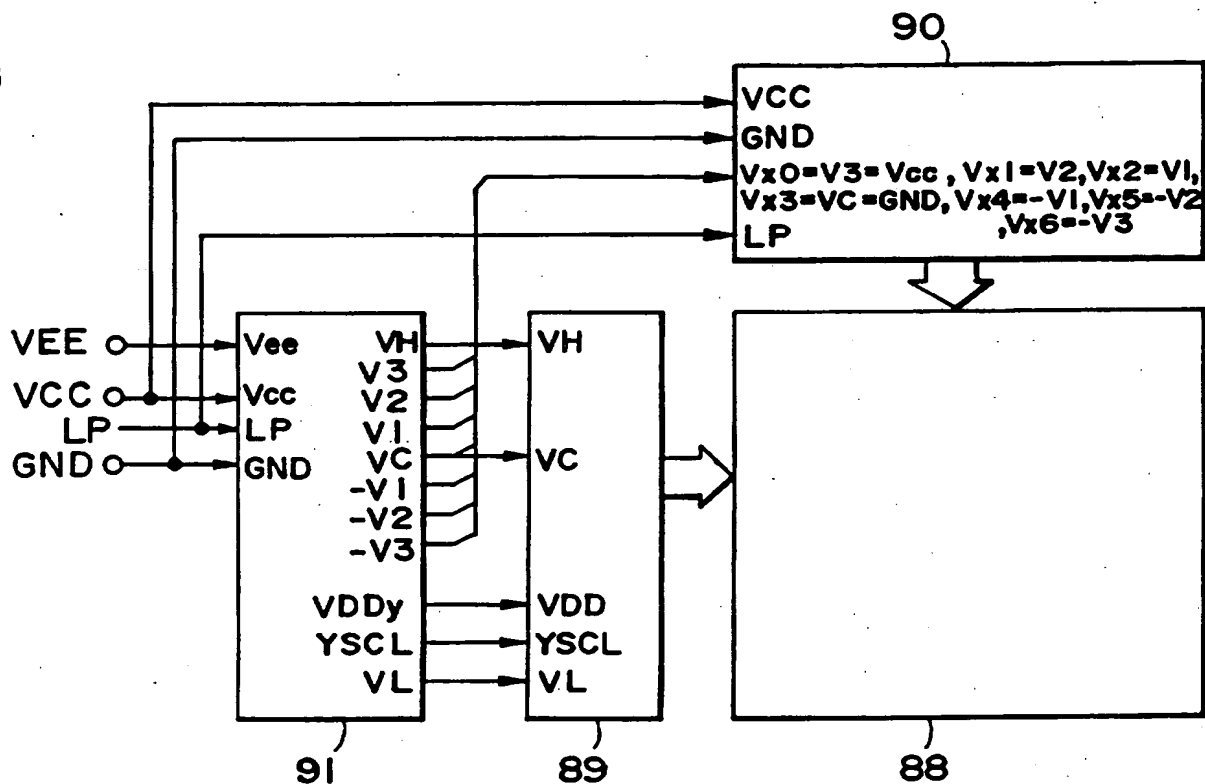
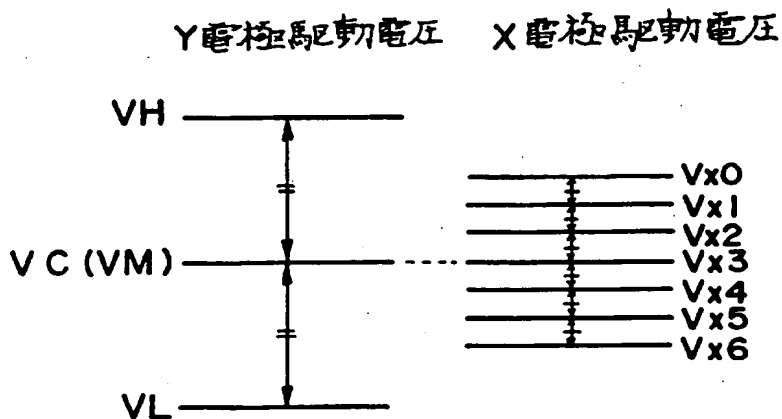
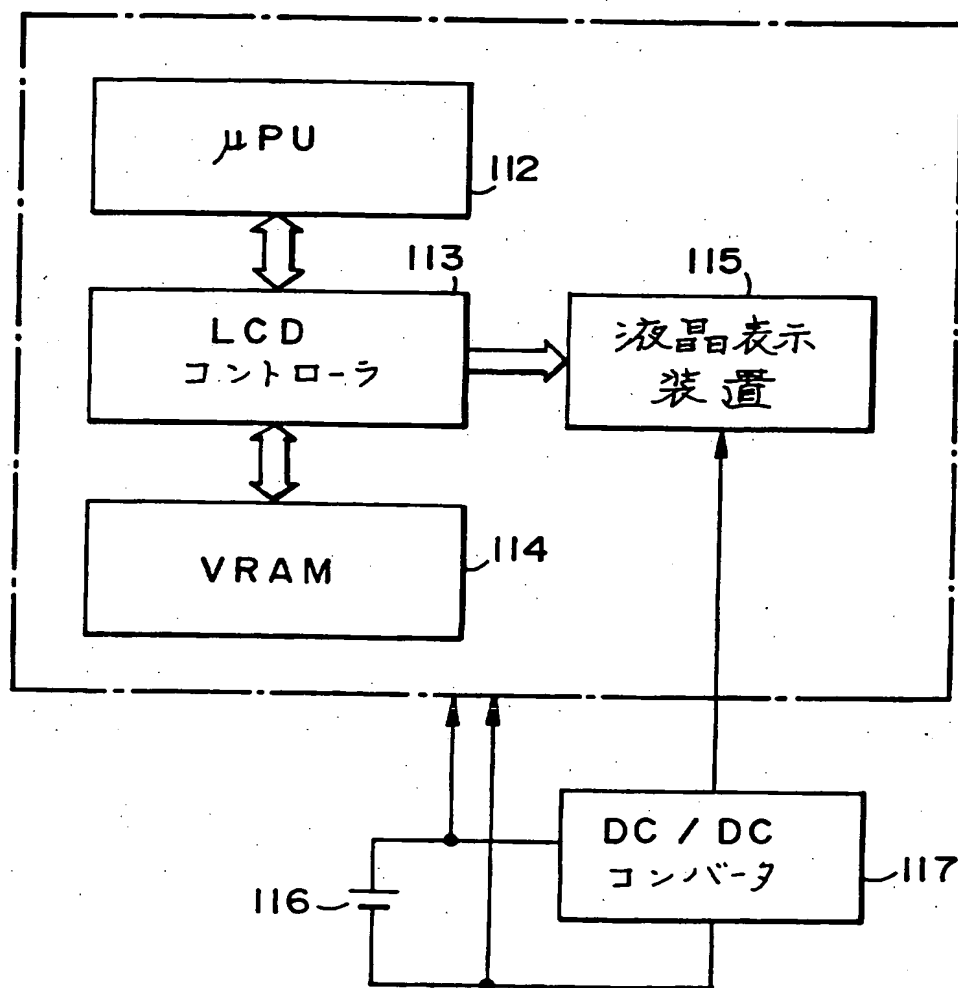


FIG. 46B



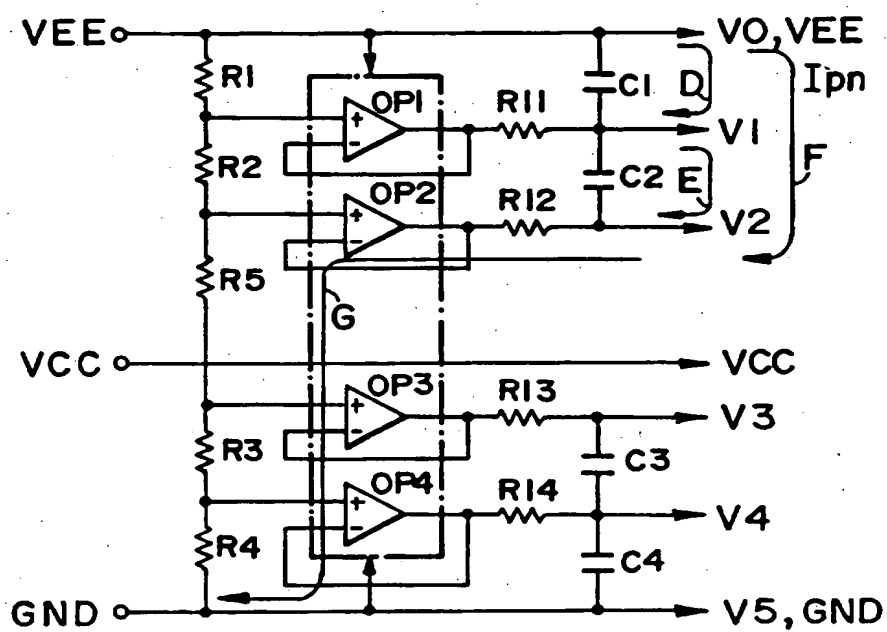
36/39

FIG. 47



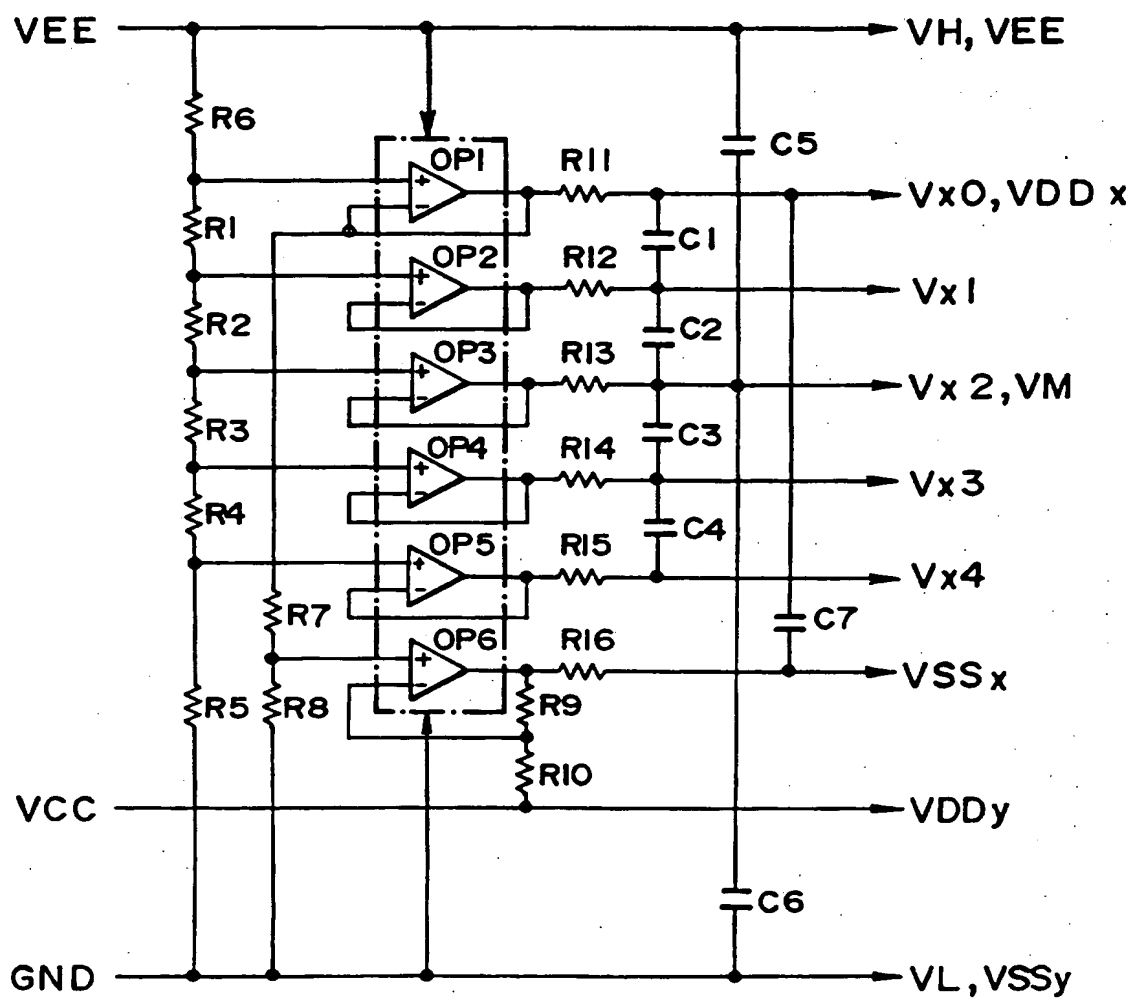
37/39

FIG. 48



38/39

FIG. 49



39/39

FIG. 50

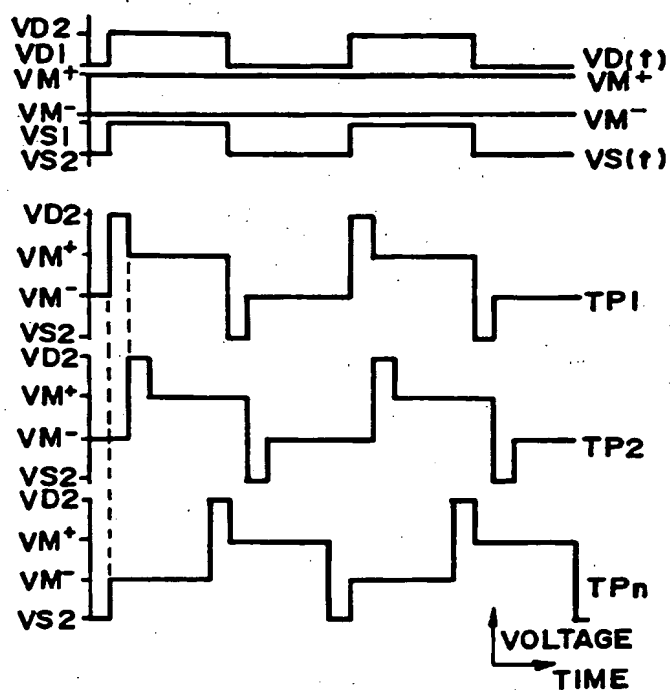
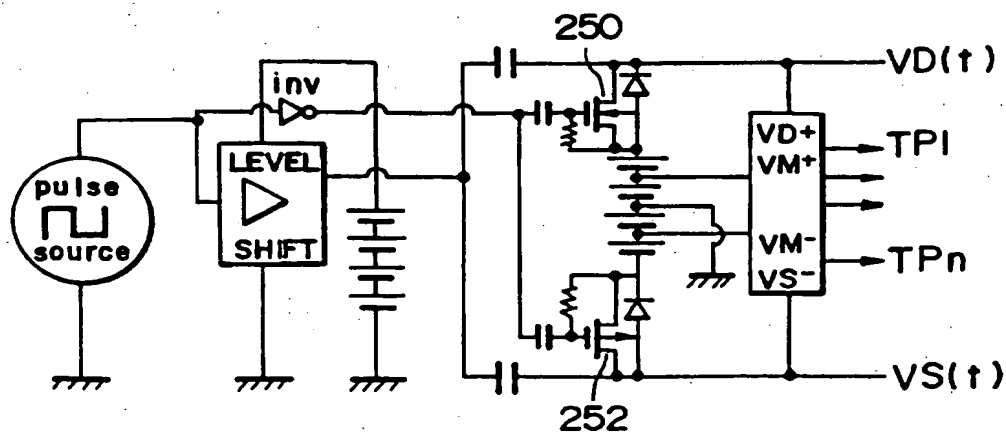


FIG. 51



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/00025

## A. CLASSIFICATION OF SUBJECT MATTER

Int. C1<sup>6</sup> G02F1/133

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. C1<sup>6</sup> G02F1/13

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1996

Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 59-18992, A (Hitachi, Ltd.),	18 - 20
Y	January 31, 1984 (31. 01. 84),	6 - 8,
A	Line 10, lower left column, page 3 to line 16,	16 - 17
	lower left column, page 5 (Family: none)	1-5, 9-15
A	JP, 57-78092, A (Toshiba Corp.),	1 - 18
	May 15, 1982 (15. 05. 82) (Family: none)	
A	JP, 7-160215, A (Toshiba Corp.),	1 - 18
	June 23, 1995 (23. 06. 95) (Family: none)	
A	JP, 7-159754, A (Toshiba Corp.),	1 - 18
	June 23, 1995 (23. 06. 95) (Family: none)	

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"A" document member of the same patent family

Date of the actual completion of the international search

February 14, 1996 (14. 02. 96)

Date of mailing of the international search report

March 5, 1996 (05. 03. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.



国際調査報告

国際出願番号 PCT/JP

96/00025

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. G 0 2 F 1 / 1 3 3

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. G 0 2 F 1 / 1 3

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年

日本国公開実用新案公報 1971-1996年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP, 59-18992, A (株式会社 日立製作所), 31. 1月. 1984 (31. 01. 84), 第3頁左下欄第10行-第5頁左下欄第16行 (ファミリーなし)	18-20 6-8, 16-17 1-5, 9-15
A	JP, 57-78092, A (東京芝浦電気株式会社), 15. 5月. 1982 (15. 05. 82) (ファミリーなし)	1-18

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 先行文献ではあるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日  
若しくは他の特別な理由を確立するために引用する文献  
(理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日  
の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と  
矛盾するものではなく、発明の原理又は理論の理解のため  
に引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規  
性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文  
献との、当業者にとって自明である組合せによって進歩性  
がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

14. 02. 96

国際調査報告の発送日

05.03.96

名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田 部 元 史

2 K

9 2 0 7

電話番号 03-3581-1101 内線 3255

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名、及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 7-160215, A (株式会社 東 芝), 23. 6月. 1995 (23. 06. 95) (ファミリーなし)	1-18
A	JP, 7-159754, A (株式会社 東 芝), 23. 6月. 1995 (23. 06. 95) (ファミリーなし)	1-18